

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246516

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 08-056578

(71)Applicant : SHARP CORP

(22)Date of filing : 13.03.1996

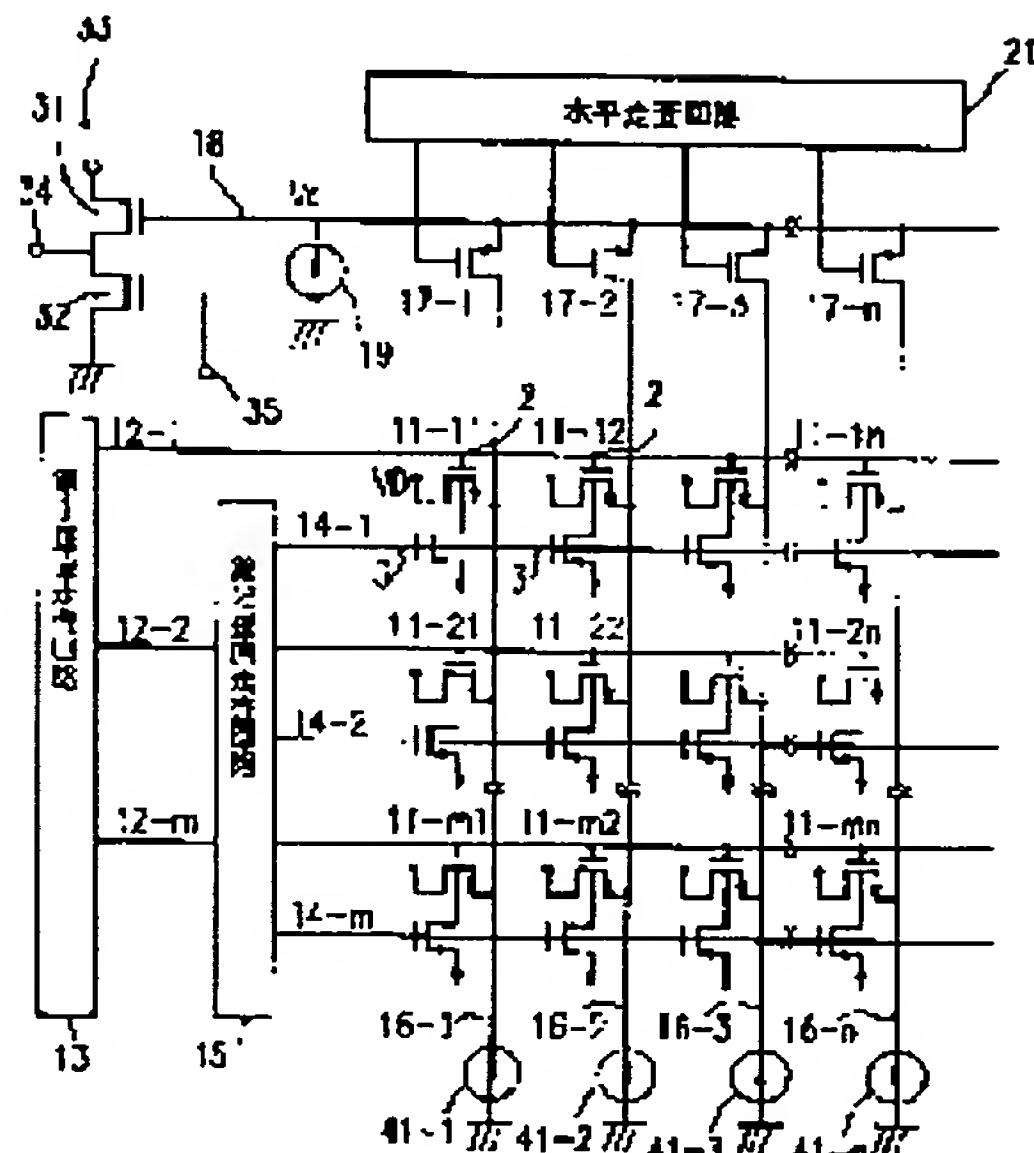
(72)Inventor : KUMAGAI KAZUYA
KUDO HIROAKI

(54) AMPLIFICATION-TYPE SOLID-STATE IMAGE SENSING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplification-type solid-state image sensing device which is easily enhanced in density, number of pixels, and an S/N ratio and capable of reading out signals at a high speed.

SOLUTION: An amplification-type solid-state image sensing device is composed of amplification-type solid-state image sensing elements which are arranged in matrix and each possessed of a function that photoelectric conversion charge is stored through a first gate region 2, and a potential variation under the first gate region 2 modulated with signal charge stored in the first gate region 2 is outputted as signal and a reset function that signal charge stored in the first gate region 2 is moved to a substrate and exhausted. Pixel signal outputs which are read out are fed to an output impedance conversion circuit (source follower circuit) 33 equipped with a series circuit of a drive transistor 31 and a load transistor 32, and an image output voltage is taken out through the output terminal 34 of the output impedance conversion circuit 33, so that an accurate signal output free from a distortion of signal waveform and of high speed can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246516

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.⁶
H 01 L 27/146
H 04 N 5/335

識別記号 庁内整理番号

F I
H 0 1 L 27/14
H 0 4 N 5/335

技術表示箇所

審査請求 未請求 請求項の数? O.L (全 22 頁)

(21) 出願番号 特願平8-56578

(22) 出願日 平成8年(1996)3月13日

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 熊谷 和也
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 工藤 裕章
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

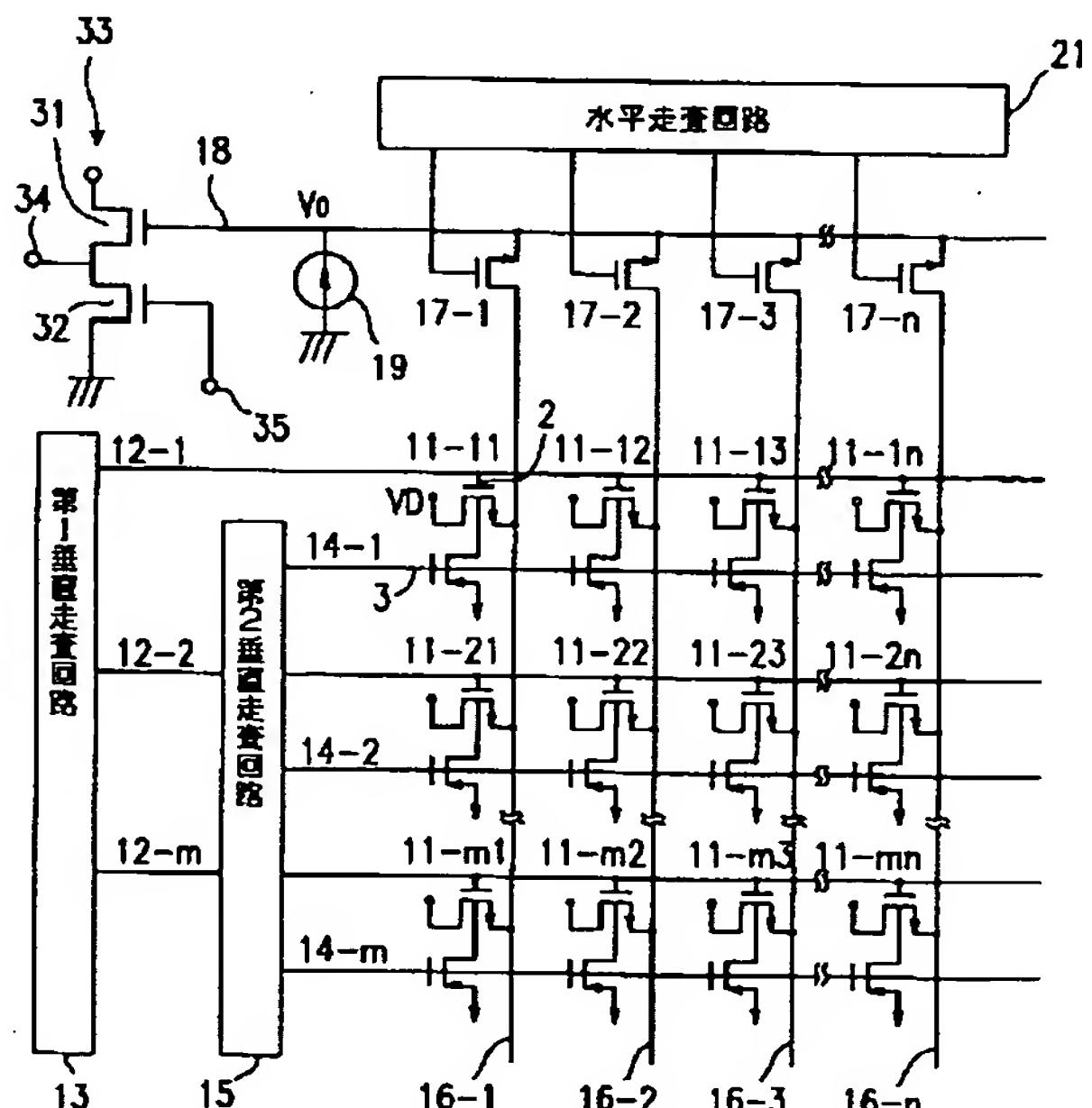
(74)代理人 弁理士 山本 秀策

(54) 【発明の名称】 増幅型固体撮像装置

(57) 【要約】

【課題】 高密度化、多画素化に有利であり、しかも高いS/N比が得られると共に、高速な信号の読み出しができる增幅型固体撮像素子を提供する。

【解決手段】 第1ゲート領域2で光電変換電荷を蓄積し、その蓄積された光電変換電荷により変調される第1ゲート領域2下のポテンシャル変動を信号出力し、また、第2ゲート領域3を介して第1ゲート領域2に蓄積された信号電荷を基板側に移動排出するリセット機能を有する增幅型固体撮像素子をマトリックス状に複数配列させ、読み出された画素信号出力を駆動用トランジスタ素子31と負荷用トランジスタ素子32の直列回路を有する出力インピーダンス変換回路（ソースフォロア回路）33に供給することによって、出力インピーダンス変換回路33の出力端子34から映像出力電圧として取り出すことにより出力信号波形の歪みもなく、正確で高速な信号出力が可能となる。



【特許請求の範囲】

【請求項1】 半導体基体の表面に形成されたトランジスタであって、入射する光によって発生した電荷を該トランジスタ内の該半導体基体表面上に蓄積し、該蓄積された信号電荷に応じた電気信号の変化を出力するトランジスタと、

該トランジスタに隣接して設けられたゲート領域であって、該半導体基体の一部と、該半導体基体の一部上に形成された絶縁膜と、該絶縁膜上に設けられたゲート電極とを有し、該ゲート電極に印加された電圧に基づいて、該蓄積された信号電荷を該半導体基体の表面から内部へ移動させるゲート領域とを有する増幅型光電変換素子が配列された増幅型固体撮像装置において、

該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられていることを特徴とする増幅型固体撮像装置。

【請求項2】 光電変換により発生した信号電荷を蓄積する半導体基体表面近傍部と、該半導体基体表面上に形成された第1のゲート電極とからなる第1のゲート領域と、該半導体基体表面に該半導体基体濃度に比べて高濃度な不純物層によって形成されたソース及びドレインとを有するトランジスタと、

一部分が該第1のゲート領域に隣接する該半導体基体表面近傍部と、該半導体基体表面上に絶縁膜を介して形成され、一部分が該第1のゲート電極に隣接する第2のゲート電極とからなる第2のゲート領域と、該半導体基体表面であって、該第1のゲート電極と該第2のゲート電極との隣接部から該半導体基体表面方向に沿って所定の距離を有する部分に、該半導体基体濃度よりも高濃度な不純物層を形成してなる電荷排出用ドレインとを有する電荷排出部とを備え、該蓄積信号電荷を該電荷排出部の該電荷排出用ドレインに排出するよう成了した増幅型光電変換素子が配列された増幅型固体撮像装置において、該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられていることを特徴とする増幅型固体撮像装置。

【請求項3】 光電変換により発生した信号電荷を蓄積する半導体基体表面近傍部と、該半導体基体表面上に形成された第1のゲート電極とからなる第1のゲート領域と、該半導体基体表面に該半導体基体濃度に比べて高濃度な不純物層によって形成されたソース及びドレインとを有するトランジスタと、

一部分が該第1のゲート領域に隣接する該半導体基体表面近傍部と、該半導体基体表面上に絶縁膜を介して形成され、一部分が該第1のゲート電極に隣接する第2のゲート電極とからなる第2のゲート領域を備え、該第1の

ゲート領域に蓄積された信号電荷を該第2のゲート領域を介して該半導体基体に排出する電荷排出部とを有する増幅型光電変換素子を配列した画素部の任意の光電変換素子の該電荷排出部と該任意の光電変換素子に隣接する光電変換素子のトランジスタ部との間に電界阻止部を設けた増幅型固体撮像装置において、

該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられていることを特徴とする増幅型固体撮像装置。

【請求項4】 半導体基体の一表面に設けられた半導体領域と、

光電変換により発生した信号電荷を蓄積する該半導体基体の表面近傍部と、該表面近傍部上に形成された第1のゲート電極とからなる第1のゲート領域と、

該半導体基体の一表面側にあって該第1のゲート領域に隣接する該半導体基体の表面近傍部と、該表面近傍部上に絶縁膜を介して形成された第2のゲート領域とを有し、該半導体領域と該半導体基体との間で該第1のゲート領域の表面近傍部をチャネルとする能動素子を形成するように構成し、該信号電荷によって生じる該能動素子の特性変化を出力信号とする増幅型光電変換素子が配列された増幅型固体撮像装置において、

該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられていることを特徴とする増幅型固体撮像装置。

【請求項5】 前記ビデオラインに接続され、一方向に配列された複数の増幅型光電変換素子が接続された信号ライン毎に定電流源負荷手段が設けられている請求項1～請求項4のいずれかに記載の増幅型固体撮像装置。

【請求項6】 前記増幅型光電変換素子毎に前記出力信号を出力させ、該出力した電気信号を順次、前記ビデオラインに導く走査手段が設けられ、前記出力インピーダンス変換手段の駆動用トランジスタ素子の閾値電圧が該走査手段に用いたトランジスタの閾値電圧よりも小さく構成した請求項1～請求項4のいずれかに記載の増幅型固体撮像装置。

【請求項7】 前記出力インピーダンス変換手段の駆動用トランジスタ素子がデブリージョン型である請求項1～請求項6のいずれかに記載の増幅型固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入射光により光電変換して信号電荷を蓄積し、該蓄積された信号電荷に応じた電気信号を出力するMOS型FETまたは接合ゲート型FETなどのトランジスタを有する増幅型固体撮像素子が配列された増幅型固体撮像装置に関する。

【0002】

【発明の背景】従来、固体撮像装置としては、電荷結合素子（CCD）型のものが主流であり、様々な分野に広く利用されている。このCCD型撮像装置は、ホトダイオードまたはMOSダイオードで光電変換・蓄積された信号電荷を、CCD転送チャネルを介して高感度の電荷検出部へ導き、そこで電圧信号に変換する構成である。そのため、S/N比が高く、出力電圧も高いという特徴を有している。

【0003】ところが、撮像装置の小型化・多画素化を進めるに従って、画素サイズは小さくなり、CCDの転送可能電荷量は次第に少なくなる。このため、ダイナミックレンジの低下が深刻な問題となっていた。さらに、CCDでは素子全体を数相のクロックで駆動するため、負荷容量が大きく駆動電圧も高いため、多画素になるほど消費電力が急激に大きくなっていた。

【0004】これらの問題に対処するため、各画素で発生した信号電荷そのものを読み出さず、各画素内で信号を増幅した後、走査回路により読み出す増幅型固体撮像装置が提案されている。この各画素内での信号増幅によって、読み出し信号量の制限はなくなって、ダイナミックレンジはCCDよりも有利となる。しかも、その駆動は信号読み出し画素を含む水平ラインおよび垂直ラインのみの駆動でよく、その駆動電圧も低いため、消費電力はCCDより少ない。

【0005】このような各画素内での信号増幅には、トランジスタを用いるのが一般的であるが、このトランジスタはその種類によりSIT型、バイポーラ型、FET型（MOS型または接合型）などに分けられる。信号読み出しの走査回路は通常MOS-FET型の方が構成が容易であるため、FET型画素の方が装置全体の構成上有利（SIT型やバイポーラ型では深さ方向にトランジスタ構造を作るが、FET型では平面方向にトランジスタ構造を作るので製造が容易）である。

【0006】そこで、本出願人は、本出願人が提案している増幅型固体撮像素子により画素を構成し、これをマトリックス状に配列してなる増幅型固体撮像装置を提案している。

【0007】図11は本出願人が特願平6-303953号で先に提案したTGMIS（Tw in Gate MOS Image Sensor）型と呼ばれる増幅型固体撮像素子の画素構造を示す図であり、(a)はその一部平面図、(b)は(a)のA-A'線断面図である。

【0008】図11(b)において、p型半導体基板1上に絶縁膜を介して第1ゲート電極2および第2ゲート電極3が設けられている。この第1ゲート電極2直下の半導体表面領域を含む領域にはウエル層4が設けられ、このウエル層4内の表面側に、第1ゲート電極2をゲートとするMOS型トランジスタのソース領域5およびド

レイン領域6のn+拡散層が設けられている。

【0009】図11(a)は同図(b)の増幅型固体撮像素子を複数個配列した増幅型固体撮像装置の平面図であり、MOS型トランジスタのソース領域5を囲むように第1ゲート電極2が設けられて画素を形成している。この画素は水平方向および垂直方向にそれぞれ配列されており、その画素に対応した第1ゲート電極2はそれぞれ水平方向接続部2aを介して水平方向に互いに接続されている。その水平方向接続部2aの直下に第2ゲート電極3が設けられている。これらの第1ゲート電極2および第2ゲート電極3を囲むようにドレイン領域6が設けられている。

【0010】このドレイン領域6にはドレイン端子VDが接続され、ソース領域5には、垂直方向の画素毎に接続された信号ライン（コラムライン）を介して信号読出端子VSが接続されている。さらに、第1ゲート電極2には制御端子VGAが接続され、第2ゲート電極3には制御端子VGBが接続されている。

【0011】上記構成により、まず、第1ゲート電極2を透過して入射した光エネルギーhνは光電変換により電子-正孔対を発生させるが、そのうちの電子はドレイン領域6に流出する。また、正孔はn層中程に形成されるバリアおよび第2ゲート電極3下のバリアにより閉じ込められて、n型ウェル層4の半導体/絶縁膜界面に蓄積された信号電荷となる。この蓄積された信号電荷量に応じてn型ウェル層4のポテンシャルが変化する量をソース電位変化として信号読出端子VSから読み出して画素信号出力とする。

【0012】次に、この信号読み出し動作後のリセット動作における信号電荷の排出は、第2ゲート電極3下のポテンシャルバリアを引き下げてやれば、上記蓄積された信号電荷は、矢印7の経路に示すように第2ゲート電極3下の領域側に、横方向に移動した後にp型半導体基板1側に流れることにより容易に達成される。

【0013】図12は上述のTGMIS型を改良した表面リセット型と呼ばれる増幅型固体撮像素子であり、本願出願人が特願平8-19199号で先に提案したものである。

【0014】図12(a)において、p型半導体基板1上に、n型半導体ウェル層4を形成し、第1のゲート領域の一部となる第1ゲート電極2を上記n型半導体ウェル層4上に形成し、第2のゲート領域の一部となる第2ゲート電極2を上記n型半導体ウェル層4に隣接して、上記p型半導体基板1上に形成する。更に、第2のゲート領域に、上記第2ゲート電極3によるポテンシャルバリアが形成される領域をn型半導体ウェル層4間に確保し、p型低抵抗表面リセットドレイン8を上記第2ゲート電極3を形成する前に形成しておく。次に、第1ゲート電極2をゲートとするMOS型トランジスタのソース5及びドレイン6用のn+拡散層を形成する。なお、リ

セットドレイン8は第2ゲート電極3下の基板1表面に形成されている。

【0015】上記構成において、第1ゲート電極2を貫いて入射した光h_νは、上記n型半導体ウェル層4の光電変換領域において、光電変換により電子・正孔対を発生するが、電子はドレイン領域へ流出する。一方、正孔はn型半導体ウェル層4の中程に形成されるポテンシャルバリア及び第2ゲート電極3下のポテンシャルバリアにより閉じ込められ、第1ゲート領域の半導体／絶縁膜界面に蓄積し信号電荷となる。この信号電荷量に応じてn型半導体ウェル層4のポテンシャルが変化する量を、ソース5の電位変化として読み出し、出力信号とする。

【0016】信号電荷の排出は、第2のゲート電極3下のポテンシャルバリアを引き下げてやれば、図12(b)に示す経路により上記リセットドレイン8へ流れることにより容易に達成される。ここで、第2のゲート領域の半導体表面とp型半導体基板1との中程に形成されるポテンシャルの尾根107の影響を受けることなく完全に蓄積電荷を排出するリセット動作を完遂できる。なお、ポテンシャルの尾根107については、この先行出願で明らかにされているので、ここでは省略する。

【0017】図12(a)は、同図(b)の増幅型固体撮像素子を複数個配列した増幅型固体撮像装置の平面図であり、MOS型トランジスタのソース領域5を囲むように第1のゲート電極2が設けられて画素を形成している。この画素は水平方向および垂直方向にそれぞれ配列されており、その画素に対応した第1ゲート電極2はそれぞれ水平方向接続部2aを介して水平方向に互いに接続されている。その水平方向接続部2aの直下に第2のゲート電極3が設けられている。これらの第1ゲート電極2および第2ゲート電極3を囲むようにドレイン領域6が設けられている。

【0018】このドレイン領域6にはドレイン端子VDが接続され、ソース領域5には、垂直方向の画素毎に接続された信号ライン(コラムライン)を介して信号読出端子VSが接続されている。さらに、第1ゲート電極2には制御端子VGAが接続され、第2ゲート電極3には制御端子VGBが接続されている。

【0019】図13は上述のTGMIS型のものを別の観点から改良したもので、トレンチ型と呼ばれるものであり、本願出願人が特願平8-19200号で先に提案したものである。

【0020】図13(b)において、p型半導体基板1上に、n型半導体ウェル層4を形成し、第1のゲートの一部領域となる第1ゲート電極2を上記n型半導体ウェル層4上に形成し、第2のゲート領域の一部となる第2のゲート電極3を上記n型半導体ウェル層4に隣接して、上記p型半導体基板1上に形成する。次に、第1ゲート電極2をゲートとするMOS型トランジスタのソース5及びドレイン6用のn⁺拡散層を形成する。

【0021】ところで、図11に示すTGMIS型の増幅型固体撮像装置では、第2ゲート電極幅が高画素小型化するに伴って、蓄積電荷が排出される経路にソース、ドレインに印加されている電位によって3次元的にポテンシャルの尾根が形成され、完全に蓄積電荷を半導体基板に排出できないという問題が生じていた。

【0022】このトレンチ型では、このポテンシャルの尾根が形成されるのを緩和するよう、第2のゲート領域に隣接して、トレンチ構造9を形成することで、ソース5、ドレイン6に印加される電位を空間的に緩和することが可能になり、蓄積電荷を半導体基板1へ排出するチャネルを確保することが可能となった。

【0023】ここで、第2のゲート領域に隣接する全領域にトレンチ構造を形成する必要はなく、第2のゲート領域下に蓄積電荷を完全に排出できるリセットドレインを一部に確保することができれば、蓄積電荷を完全に排出できるので、一部にトレンチ構造9を形成すれば済む。

【0024】リセット動作時には、第1ゲート電極2には予め高めの電圧、例えば信号蓄積時と同じVGA(H)を印加する。第2ゲート電極2には中程の電圧、例えば信号蓄積時と同じVGA(M)を印加する。このとき、第2ゲート電極3下の表面ポテンシャルは、信号ゼロ時のn型半導体ウェル層104表面ポテンシャルより十分低い値となる。このため、n型半導体ウェル層4表面の信号電荷(正孔)は全て第2ゲート電極3下のポテンシャルバリアゲートを通りp型半導体基板1へ流れれる。即ち、リセット動作が達成される。

【0025】トレンチ構造9を形成することにより蓄積電荷の排出を妨げる第2ゲート電極3の深さ方向中程で問題となっていたポテンシャルの尾根は形成されない。

【0026】図13(a)は、同図(b)の増幅型固体撮像素子を複数個配列した増幅型固体撮像装置の平面図であり、第2ゲート領域と隣接するドレイン部との間に一部トレンチ構造9を形成した点を除いて、図11(a)、図12(a)と同じであるので、詳細な説明は省略する。

【0027】図14は本願出願人が特願平7-51641号で先に提案したBDMIS型(Bulk Drain MOS Image Sensor)と呼ばれる増幅型固体撮像装置を示す。

【0028】同図(b)において、p型半導体基板1の主面11に接してp型半導体基板1内にn型のウェル4が形成されており、更にウェル4内に主面11に接してp⁺型の半導体領域5が形成されている。ウェル4の半導体領域5を除いた領域上に絶縁膜を介して第1ゲート電極2が形成されている。また、ウェル4に隣接した基板1上には絶縁膜を介して第2ゲート電極3が形成されている。絶縁膜が設けられたウェル4の表面近傍部、絶縁膜、及び第1ゲート電極2は第1のゲート領域を構成

する。

【0029】また、絶縁膜が設けられた基板1の表面近傍部、絶縁膜、及び第2ゲート電極3は第2のゲート領域を構成する。

【0030】第1ゲート電極2に適当な電圧を印加すると、第1ゲート領域の表面近傍部に小数キャリアである正孔のためのpチャネルが形成される。また、第2ゲート電極3に適当な電圧を印加すると、第2ゲート領域の表面近傍部を含む第2のゲート電極3の下方の基板1全体がpチャネルを形成する。従って、電圧 V_D が印加された基板1と電圧 V_s が印加された半導体領域との間に正孔による電流を流すためのチャネルが形成され、同図(b)の実線で示されるように電流が流れる。

【0031】第1ゲート電極2を貫いて光 $h\nu$ が入射すると、第1ゲート電極2の下方に位置するウェル4及び半導体基板1において、光電変換により電子・正孔対が発生する。発生した正孔は半導体領域へ流出し、一方、電子はウェル4の中程に形成されるポテンシャル井戸に蓄積して信号電荷となる。この信号電荷となる電子はウェル4において多数キャリアである。蓄積した信号電荷はその電荷量に応じてウェル4のポテンシャルを変化させ、更に第1ゲート領域の表面近傍部の表面ポテンシャルを変化させる。

【0032】従って、基板1と半導体領域とを流れる電流は蓄積した信号電荷量に応じて変化する。基板1と半導体領域との間に一定電流が流れるようにしておけば、蓄積した信号電荷量に応じて基板1と半導体領域との間の電位が変化し、また、基板1と半導体領域との間を一定の電位に保つおけば、蓄積した信号電荷量に応じて基板1と半導体領域との間に流れる電流が変化する。このようにして、基板1と半導体領域との間で、第1ゲート領域及び第2ゲート領域の表面近傍部をチャネルとする第1の能動素子が形成され、蓄積した信号電荷量に応じて能動素子の電気的特性が変化することになる。

【0033】更に、第2ゲート領域の表面近傍部に第1ゲート領域が設けられていない側で隣接し、主面11に接するように、基板1内にリセットドレイン領域10が設けられている。第2ゲート電極3に適当な電圧を印加し、第2ゲート領域の表面近傍部のポテンシャルバリアを引き下げてやれば、ウェル4に蓄積された信号電荷は、同図(b)に点線で示す経路に沿ってリセットドレイン領域10へ流れる。このようにして、ウェル4とリセットドレイン領域10との間で、第2ゲート領域の表面近傍部をチャネルとする第2の能動素子が形成され、信号電荷の排出が達成される。

【0034】図14(a)は同図(b)に示す増幅型固体撮像素子が複数個マトリクス状に配設された増幅型固体撮像装置の画素構造を示す。第1ゲート電極は水平方向に共通にVGA(i), VGA(i+1)…で標記されるクロックラインに接続されている。同様に、第2ゲ

ート電極3も水平方向に共通にVGB(i), VGB(i+1)…で標記されるクロックラインに接続されている。

【0035】一方、半導体領域5、即ちソース5は各増幅型固体撮像素子毎にウェル4の第1ゲート領域の中程に形成され、垂直方向に共通にVS(j), VS(j+1)…と標記した信号ラインに接続されている。なお、ドレインは基板1であるため、同図(a)には表されていない。

【0036】図15は、これらの増幅型固体撮像素子を用いた増幅型固体撮像装置の構成を図11(a)、(b)に示したTGMIS型の場合を例にとって、等価回路と要素ブロックとを組み合わせて模式的に示した図である。

【0037】図15において、各画素11-11, 11-12, … 11-1n, 11-21, … 11-mnは水平(X)方向および垂直(Y)方向にそれぞれ配列されてマトリクス状に設けられている。X方向に配列された各行毎の増幅型固体撮像素子群の第1ゲート電極2の各端子は各走査ライン12-1, 12-2, … 12-mをそれぞれ介して第1垂直走査回路13に接続され、また、X方向に配列された各行毎の増幅型固体撮像素子群の第2ゲート電極3の各端子は各走査ライン14-1, 14-2, … 14-mをそれぞれ介して第2垂直走査回路15に接続されており、第1垂直走査回路13および第2垂直走査回路15により水平画素列を順次選択した水平画素列毎に画素信号の読み出し動作さらにリセット動作を順次行う。

【0038】また、Y方向に配列された各列毎の増幅型固体撮像素子群のソース領域5の各端子は各コラムライン16-1, 16-2, … 16-nにそれぞれ接続されている。これらの各コラムライン16-1, 16-2, … 16-nはそれぞれ列選択用トランジスタ17-1, 17-2, … 17-nを介してビデオライン18に共通に接続され、このビデオライン18は定電流源負荷19を介して接地されていると共に信号出力端子20に接続されている。また、各列選択用トランジスタ17-1, 17-2, … 17-nの制御端子は水平走査回路21に接続されており、水平走査回路21からの制御信号により各列選択用トランジスタ17-1, 17-2, … 17-nが順次選択されて駆動される。さらに、各増幅型固体撮像素子11-11~11-mnのドレイン領域6は共通に接続され、これらのドレイン領域6には所定の電圧が印加されている。

【0039】このように、この増幅型固体撮像装置は、ソース・ゲート選択方式により、各画素11-11, 11-12… 11-mnの行方向選択毎に列方向を順次選択し、その選択した画素の出力信号をビデオライン18の信号出力端子20から順次読み出すようにしたものである。

【0040】上記構成により、以下、その動作を説明する。

【0041】図16は図15の増幅型固体撮像装置の動作を説明する各信号波形を示すタイミング図である。なお、第1垂直走査回路13は行方向i番目の走査ライン12-iに第1走査パルスφG I iを出力し、また、第2垂直走査回路15は行方向i番目の第2走査ライン14-iに第2走査パルスφG I I iを出力し、さらに、水平走査回路21は列方向j番目のコラムライン16-jに信号読出制御パルスφS jを出力する。

【0042】まず、第1垂直走査回路13から行方向の第1走査ライン12-1、12-2、…12-mをそれぞれ介して水平画素列毎の第1ゲート電極2に、VG (Lレベル) またはVG (Hレベル) の第1走査パルスφG I 1、φG I 2、…φG I mをこの順に順次出力するとともに、第2垂直走査回路15から行方向の第2走査ライン14-1、14-2、…14-mをそれぞれ介して水平画素列毎の第2ゲート電極3に、VRG (Lレベル) またはVRG (Hレベル) の第2走査パルスφG I I 1、φG I I 2、…φG I I mをこの順に順次出力する。このとき、一つの行方向i番目の水平画素列の信号読出走査期間τHは第1走査パルスφG I iのVG (Hレベル) と、第2走査パルスφG I I iのVRG (Hレベル) とを組み合わせて行い、次の行方向(i+1)番目の水平画素列の水平走査に移るまでのブランкиング期間τBLは第1走査パルスφG I (i+1)のVG (Hレベル) と、第2走査パルスφG I I (i+1)のVRG (Lレベル) とを組み合わせて行うように設定されている。

【0043】このi番目の水平画素列毎の信号読出走査期間τHにおいて、水平走査回路21より出力される信号読出制御パルスφS 1、φS 2、…φS nにより列方向画素列選択用のトランジスタ17-1、17-2、…17-nが順次オンすることで、増幅型固体撮像素子からコラムライン16-1、16-2、…16-n上に読み出されている画素信号がビデオライン18上に順次読み出されることになる。このとき、列選択用トランジスタ17-1、17-2、…17-nのゲート端子に加えられる水平走査信号としての信号読出制御パルスφS 1、φS 2、…φS nは列方向のコラムラインを順次選択する信号であり、その信号レベルが低レベルの場合、列選択用トランジスタ17-1、17-2、…17-nのうち低レベル電位が入力されたトランジスタがオフで、高レベルの場合、列選択用トランジスタ17-1、17-2、…17-nのうち高レベル電位が入力されたトランジスタがオンする電圧値になるように設定されている。

【0044】次に、このi番目の水平画素列毎の増幅型固体撮像素子群は、第1走査パルスφG I iが高レベルのVG (H)、第2走査パルスφG I I iが低レベルの

VRG (L) になったときに一斉にリセットされる。このリセット動作は上記ブランкиング期間τBLに行われる。

【0045】以下同様にして、水平画素列毎に順次各画素の画素信号が読み出されて1フィールドのビデオ信号が得られ、その後、リセット動作を繰り返すことになる。

【0046】ここで、具体的に例えば第1行目の水平画素列の信号読出動作およびリセット動作について説明すると、図9に示すように、第1垂直走査回路13から出力される第1走査パルスφG I 1が高レベルのVG (H)、第2垂直走査回路15から出力される第2走査パルスφG I I 1が高レベルのVRG (H)になると、第1行目の第1走査ライン12-1および第2走査ライン14-1に接続された増幅型固体撮像素子11-1、11-12、…11-1nが選択されてコラムライン16-1、16-2、…16-n上にそれぞれ第1行目の水平画素列の画素信号が読み出される。さらに、水平走査回路21から出力される信号読出制御パルスφS 1、φS 2、…φS nにより列選択用トランジスタ17-1、17-2、…17-nがこの順に順次オンすると、各コラムライン16-1、16-2、…16-n上の各画素信号が列選択用トランジスタ17-1、17-2、…17-nをそれぞれ介してビデオライン18の信号出力端子20から順次信号出力されて取り出される。続いて、この第1行目の水平画素列の増幅型固体撮像素子群は第1走査パルスφC I 1が高レベルのVG (H)で、第2走査パルスφG I I 1が低レベルのVRG (L) になったときに一斉にリセットされる。同様にして、第2番目の水平画素列の信号読出動作さらにリセット動作に移行し、これらの動作が1フィールド分順次繰り返されることになる。

【0047】

【発明が解決しようとする課題】しかしながら、上記の増幅型固体撮像装置では、増幅型固体撮像素子の第1ゲート電極2下の光電変換により発生した信号電荷に応じたポテンシャル変動としてコラムライン16上に読み出されたソース電位を、定電流源負荷19によりコラムライン16およびビデオライン18の寄生容量を充電して第1ゲート電極2下のポテンシャル電位に固定し、そのソース電位を列選択用トランジスタ17によりビデオライン18に出力するものであるが、各増幅型固体撮像素子容量が小さいため定電流源負荷19からの供給電流を100nA程度以下にしないと第1ゲート電極2下のポテンシャル電位を忠実にコラムライン16上に画素信号として出力することが不可能となる。つまり、定電流源負荷19からの供給電流が大きいと、コラムライン16およびビデオライン18の寄生容量を充分に充電して信号読み出しの遅れはなくなるが、第1ゲート電極2下のポテンシャル電位が浮き上がって忠実にコラムライン1

6上に正確な映像信号としての画素信号を出力することが不可能となる。また、定電流源負荷19からの供給電流が小さいと、コラムライン16およびビデオライン18の寄生容量を充分に充電することができず、寄生容量の時定数の分だけ信号波形が鈍って信号読み出しに遅れが生じることになる。

【0048】したがって、上記の増幅型固体撮像装置では、ビデオライン18に共通に接続された定電流源負荷19のみで、マトリクス状に多数設けられた増幅型固体撮像素子全てをカバーしており、これでは、各コラムライン16およびビデオライン18の寄生容量に電荷を供給する能力が不十分であるため、映像信号読み出しの高速応答性に問題を生じていた。しかも、ビデオライン18以降に接続される各電気回路を駆動させようとすれば、各増幅型固体撮像素子で得られた映像信号を高速で出力することが益々不可能となる。

【0049】以上、TGMIS型の増幅型固体撮像素子を用いた増幅型固体撮像装置について説明したが、TGMIS型の代わりに表面リセット型、トレンチ型、BDMIS型の固体撮像素子を用いた増幅型固体撮像装置においても、上記同様の問題点がある。

【0050】本発明は、各増幅型固体撮像装置が有する上記の問題を解決するものであり、高密度化、多画素化に有利であり、しかも高いS/N比が得られると共に、高速な信号の読み出しができる増幅型固体撮像装置を提供することを目的とする。

【0051】

【課題を解決するための手段】本発明の増幅型固体撮像装置は、半導体基体の表面に形成されたトランジスタであって、入射する光によって発生した電荷を該トランジスタ内の該半導体基体表面に蓄積し、該蓄積された信号電荷に応じた電気信号の変化を出力するトランジスタと、該トランジスタに隣接して設けられたゲート領域であって、該半導体基体の一部と、該半導体基体の一部上面に形成された絶縁膜と、該絶縁膜上面に設けられたゲート電極とを有し、該ゲート電極に印加された電圧に基づいて、該蓄積された信号電荷を該半導体基体の表面から内部へ移動させるゲート領域とを有する増幅型光電変換素子が配列された増幅型固体撮像装置において、該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられており、そのことにより上記目的が達成される。

【0052】また、本発明の増幅型固体撮像装置は、光電変換により発生した信号電荷を蓄積する半導体基体表面近傍部と、該半導体基体表面上に形成された第1のゲート電極とからなる第1のゲート領域と、該半導体基体表面に該半導体基体濃度に比べて高濃度な不純物層によって形成されたソース及びドレインとを有するトランジ

スタと、一部分が該第1のゲート領域に隣接する該半導体基体表面近傍部と、該半導体基体表面上に絶縁膜を介して形成され、一部分が該第1のゲート電極に隣接する第2のゲート電極とからなる第2のゲート領域と、該半導体基体表面であって、該第1のゲート電極と該第2のゲート電極との隣接部から該半導体基体表面方向に沿って所定の距離を有する部分に、該半導体基体濃度よりも高濃度な不純物層を形成してなる電荷排出用ドレインとを有する電荷排出部とを備え、該蓄積信号電荷を該電荷排出部の該電荷排出用ドレインに排出するよう成了した増幅型光電変換素子が配列された増幅型固体撮像装置において、該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられており、そのことにより上記目的が達成される。

【0053】また、本発明の増幅型固体撮像装置は、光電変換により発生した信号電荷を蓄積する半導体基体表面近傍部と、該半導体基体表面上に形成された第1のゲート電極とからなる第1のゲート領域と、該半導体基体表面に該半導体基体濃度に比べて高濃度な不純物層によって形成されたソース及びドレインとを有するトランジスタと、一部分が該第1のゲート領域に隣接する該半導体基体表面近傍部と、該半導体基体表面上に絶縁膜を介して形成され、一部分が該第1のゲート電極に隣接する第2のゲート電極とからなる第2のゲート領域を備え、該第1のゲート領域に蓄積された信号電荷を該第2のゲート領域を介して該半導体基体に排出する電荷排出部とを有する増幅型光電変換素子を配列した画素部の任意の光電変換素子の該電荷排出部と該任意の光電変換素子に隣接する光電変換素子のトランジスタ部との間に電界阻止部を設けた増幅型固体撮像装置において、該増幅型光電変換素子の出力信号が順次入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられており、そのことにより上記目的が達成される。

【0054】また、本発明の増幅型固体撮像装置は、半導体基体の一表面に設けられた半導体領域と、光電変換により発生した信号電荷を蓄積する該半導体基体の表面近傍部と、該表面近傍部上に形成された第1のゲート電極とからなる第1のゲート領域と、該半導体基体の一表面側にあって該第1のゲート領域に隣接する該半導体基体の表面近傍部と、該表面近傍部上に絶縁膜を介して形成された第2のゲート領域とを有し、該半導体領域と該半導体基体との間で該第1のゲート領域の表面近傍部をチャネルとする能動素子を形成するように構成し、該信号電荷によって生じる該能動素子の特性変化を出力信号とする増幅型光電変換素子が配列された増幅型固体撮像装置において、該増幅型光電変換素子の出力信号が順次

入力されるビデオラインに、該出力信号により駆動される駆動用トランジスタ及び負荷用トランジスタを有する出力インピーダンス変換手段が設けられており、そのことにより上記目的が達成される。

【0055】好ましくは、前記ビデオラインに接続され、一方に向かって配列された複数の増幅型光電変換素子が接続された信号ライン毎に定電流源負荷手段を設ける。

【0056】また、好ましくは、前記増幅型光電変換素子毎に前記出力信号を出力させ、該出力した電気信号を順次、前記ビデオラインに導く走査手段が設けられ、前記出力インピーダンス変換手段の駆動用トランジスタ素子の閾値電圧を該走査手段に用いたトランジスタの閾値電圧よりも小さくする。

【0057】また、好ましくは、前記出力インピーダンス変換手段の駆動用トランジスタ素子としてデブリージョン型のものを使用する。

【0058】上記構成により、以下、その作用を説明する。

【0059】本発明においては、増幅型固体撮像素子毎に出力される電気信号が順次入力されるビデオラインに、この電気信号により駆動される駆動用トランジスタ素子と負荷用トランジスタ素子を有する出力インピーダンス変換手段を備えているため、出力インピーダンスを非常に小さくできる。このため、その出力端に電気回路が接続されても、ビデオラインや信号ラインによる寄生容量の影響が抑えられて画素信号出力が鈍ることなく高速で出力可能となる。

【0060】また、各列方向の信号ライン毎に設けられた定電流源負荷手段により、信号ラインの寄生容量に供給できる電荷を個別の信号ライン毎に確保可能となって高速駆動時にも正確な映像信号が得られる。

【0061】さらに、駆動用トランジスタ素子の閾値電圧を増幅型撮像装置を駆動させる各走査回路を構成するトランジスタ素子の閾値電圧より小さく設定することにより、ソース・ゲート選択方式により得られたソース電圧をより確実に出力することが可能となる。また、この駆動用トランジスタ素子をデブリージョン型とすることにより、ソース・ゲート選択方式により得られたソース電圧をより確実に出力することが可能となる。

【0062】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0063】(実施形態1) 図1は本発明の実施形態1における増幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて模式的に示した図である。なお、この増幅型固体撮像装置は図11に示す増幅型固体撮像素子を用いている。また、図1において、上記の図15で示される部材と、同様の作用、効果を奏する部材には同様の符号を付けてその説明を省略する。

【0064】図1において、増幅型固体撮像素子よりな

る各画素 $11-11, 11-12, \dots, 11-n$ 毎に映像信号としての画素信号がコラムライン $16-1, 16-2, \dots, 16-n$ をそれぞれ介して読み出されるビデオライン18に、画素信号により駆動される駆動用トランジスタ素子31と負荷用トランジスタ素子32の直列回路よりなる出力インピーダンス変換手段33が設けられている。これらの駆動用トランジスタ素子31と負荷用トランジスタ素子32の接続点には信号出力端子34が接続されている。また、負荷用トランジスタ素子32のゲート端子には電流値を制御する制御端子35が接続されている。

【0065】上記構成により、以下、その動作を説明する。

【0066】図2は図1の増幅型固体撮像装置の動作を説明する各信号波形を示すタイミング図である。なお、第1垂直走査回路13は行方向i番目の走査ライン $12-i$ に第1走査パルス $\phi G I i$ を出力し、また、第2垂直走査回路15は行方向i番目の第2走査ライン $14-i$ に走査パルス $\phi G I I i$ を出力し、さらに、水平走査回路21は列方向j番目のコラムライン $16-j$ に信号読出制御パルス $\phi S j$ を出力する。

【0067】まず、図2に示すように、第1垂直走査回路13から第1行目の水平素子列の第1ゲート電極2に输出される第1走査パルス $\phi G I 1$ が高レベルの電位VG(Hレベル)で、また、第2垂直走査回路15から第1行目の水平素子列の第2ゲート電極3に输出される第2走査パルス $\phi G I I 1$ が高レベルの電位VRG(Hレベル)になると、第1行目の水平素子列に接続される第1走査ライン $12-1$ および第2走査ライン $14-1$ を介して、第1行目の水平素子列の増幅型固体撮像素子 $11-11, 11-12, \dots, 11-n$ が選択されて、各画素毎の画素信号が各コラムライン $16-1, 16-2, \dots, 16-n$ 上にそれぞれ読み出される。続いて、水平走査回路21より出力される信号読出制御パルス $\phi S 1, \phi S 2, \dots, \phi S n$ により列選択用トランジスタ $17-1, 17-2, \dots, 17-n$ がこの順次に順次オンすると、各増幅型固体撮像素子からの画素信号がビデオライン18に映像信号として信号出力される。

【0068】その後、この第1行目の水平素子列である各増幅型固体撮像素子群は、第1走査パルス $\phi G I 1$ が高レベルの電位VG(H)で、第2走査パルス $\phi G I I 1$ が低レベルの電位VRG(L)になったときにその蓄積電荷が一斉にリセットされて、各コラムライン $16-1, 16-2, \dots, 16-n$ 上にそれぞれ読み出されていた画素信号がリセットされる。

【0069】次いで、第1垂直走査回路13から第2行目の水平素子列の第1ゲート電極2に出力される第1走査パルス $\phi G I 2$ が高レベルの電位VG(Hレベル)で、また、第2垂直走査回路15から第2行目の水平素子列の第2ゲート電極3に出力される第2走査パルス $\phi G I I 2$ が高レベルの電位VRG(Hレベル)で、各コラムライン $16-1, 16-2, \dots, 16-n$ 上にそれぞれ読み出される。

G I I 2が低レベルの電位VRG (Lレベル) になると、第2行目の水平素子列に接続される第1走査ライン12-2および第2走査ライン14-2を介して、第2行目の水平素子列の増幅型固体撮像素子11-21、11-22、…11-nが選択されて、各画素毎の画素信号が各コラムライン16-1、16-2、…16-n上にそれぞれ読み出される。続いて、水平走査回路21より出力される信号読出制御パルスφS1、φS2、…φSnにより列選択用トランジスタ17-1、17-2、…17-nがこの順に順次オンすると、各増幅型固体撮像素子からの画素信号がビデオライン18に映像信号として信号出力される。

【0070】その後、この第2行目の水平素子列である各増幅型固体撮像素子群は、第1走査パルスφGI2が高レベルの電位VG (H) で、第2走査パルスφGI12が低レベルの電位VRG (L) になったときにその蓄積電荷が一斉にリセットされて、各コラムライン16-1、16-2、…16-n上にそれぞれ読み出されていた画素信号がリセットされる。

【0071】以下同様にして、各画素の画素信号が各コラムライン16-1、16-2、…16-nをそれぞれ介してビデオライン18に順次読み出されて1フィールド(1画面)のビデオ信号が得られることになる。

【0072】このビデオライン18に出力された画素信号の出力は、駆動用トランジスタ素子31と負荷用トランジスタ素子32からなる出力インピーダンス変換手段(ソースフォロア回路)33の駆動用トランジスタ素子31のゲート端子に入力され、出力インピーダンス変換手段33で出力インピーダンス変換がなされ、即ち電流増幅がなされて信号出力端子34から出力されることになる。

【0073】この出力インピーダンス変換手段33は、負荷用トランジスタ素子32として例えばNMOSトランジスタ($L=5\mu m$ 、 $W=100\mu m$)、また、駆動用トランジスタ素子31として例えばNMOSトランジスタ($L=3\mu m$ 、 $W=30\mu m$)の各トランジスタを用いて、負荷用トランジスタ素子32による定電流量を1mA程度となるように負荷用トランジスタ素子32のゲート端子に所定電圧を印加する。

【0074】このように、負荷用トランジスタ素子32による定電流量を1mA程度となるように負荷用トランジスタ素子32のゲート端子に所定電圧を印加し、増幅型固体撮像装置より出力される電圧信号出力変動と出力インピーダンス変換手段33の入出力特性を図3に示している。この際の出力インピーダンスは、~7kΩ程度であったものが、出力インピーダンス変換手段33による出力インピーダンス変換後では、~400Ω程度と出力インピーダンスを小さくすることが可能となった。

【0075】以上の構成によりビデオライン18上に得られた画素信号の出力波形について図4を用いて説明す

る。

【0076】図4(a)は図1の出力インピーダンス変換手段33を用いずに増幅型固体撮像装置のビデオライン18を直接外部電気回路に接続した場合の画素信号出力波形図であり、図4(b)は図1の出力インピーダンス変換手段33の後段に電気回路を接続した場合の画素信号出力波形図である。

【0077】接続される電気回路の負荷容量を~数pFとして、水平走査回路21の駆動周波数を10MHzとした場合、水平走査回路21より出力される信号読出制御パルスφS1、φS2、φS3がそれぞれV(H)レベルになっている期間、増幅型固体撮像装置の画素信号出力を選択するわけであるが、直接外部電気回路に接続した場合には、図4(a)に示すように出力インピーダンスが大きいために外部負荷容量に対する電荷供給能力が小さいため、得たい画素信号出力電位を得るまでに立ち上がり時間を要してしまい、波形が鈍って出力波形歪みが生じ、正確で高速な信号の読みだしができていない。

【0078】この場合と比較して出力インピーダンス変換手段33の後段に電気回路を負荷として接続した場合には、図4(b)に示すように出力インピーダンスが小さいため外部負荷容量への電荷供給能力が大きく、~10MHz程度の水平走査回路21の駆動周波数では全く問題なく画素信号の正確な出力電位を高速に得ることが可能となる。

【0079】(実施形態2) 図5は本発明の実施形態2における増幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて模式的に示した図である。なお、この増幅型固体撮像装置も図11に示す増幅型固体撮像素子を用いている。また、図5において、上記の図15で示される部材と、同様の作用、効果を奏する部材には同様の符号を付けてその説明を省略する。

【0080】図5において、ビデオライン18に列選択用トランジスタ17-1、17-2、…17-nをそれぞれ介して接続され、一方向に配列された複数の増幅型固体撮像素子が接続されたコラムライン16-1、16-2、…16-n毎にそれぞれ定電流源負荷手段41-1、41-2、…41-nがそれぞれ設けられている。

【0081】上記構成により、ビデオライン18上に読み出された画素信号出力は、駆動用トランジスタ素子31と負荷用トランジスタ素子32からなる出力インピーダンス変換手段(ソースフォロア回路)33の駆動用トランジスタ素子31のゲート端子に入力され、出力インピーダンス変換、即ち電流増幅されて信号出力端子34から映像信号として出力されることになる。このとき、本実施形態2では、列方向の各コラムライン16-1、16-2、…16-n上にそれぞれ定電流源負荷手段41-1、41-2、…41-nを備えていることに

より、これらがそれぞれ、各列のコラムライン $16-1, 16-2, \dots, 16-n$ に生じる寄生容量に供給する電荷の供給源となり、その分、寄生容量に対する電荷供給能力が向上して上記実施形態1に示した構成よりも高速動作においても正確で高速な信号読み出し効果を発揮することができる。

【0082】(実施形態3) 図6は本発明の実施形態3における増幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて模式的に示した図である。なお、この増幅型固体撮像装置も図11に示す増幅型固体撮像素子を用いている。また、図6において、上記の図15で示される部材と、同様の作用、効果を奏する部材には同様の符号を付けてその説明を省略する。

【0083】図6において、増幅型固体撮像素子よりなる各画素 $11-11, 11-12, \dots, 1-mn$ 毎に映像信号としての画素信号がコラムライン $16-1, 16-2, \dots, 16-n$ をそれぞれ介して読み出されるビデオライン18に、画素信号により駆動される駆動用トランジスタ素子51と負荷用トランジスタ素子32の直列回路による出力インピーダンス変換手段52が設けられている。この駆動用トランジスタ素子51は、その閾値電圧が、第1垂直走査回路13、第2垂直走査回路15および水平走査回路21に用いたトランジスタの閾値電圧よりも小さく構成するか、または、駆動用トランジスタ素子51がデプリージョン型で構成している。

【0084】上記構成により、ビデオライン18に出力された画素信号出力は、駆動用トランジスタ素子51と負荷用トランジスタ素子32からなる出力インピーダンス変換手段(ソースフォロア回路)52の駆動用トランジスタ素子51のゲート端子に入力され、出力インピーダンス変換、即ち電流増幅されて映像信号として信号出力端子34から出力される。

【0085】この出力インピーダンス変換手段(ソースフォロア回路)52は、負荷用トランジスタ素子32による定電流量を1mA程度とし、増幅型撮像装置より出力される電圧信号出力変動を維持しつつ電流増幅することが可能となる。ただし、電圧増幅利得としては、負荷用トランジスタ素子32による定電流量により異なるが、電圧増幅利得 α は~0.8程度となる。

【0086】また、本実施形態3では、上記本出願人が提案している増幅型固体撮像素子の電圧信号出力振幅について、第1ゲート電極下の半導体表面側に形成されるウェル層のキャリア濃度、ウェル深さ、および駆動電圧により、暗時の出力レベルおよび飽和出力レベルを任意に設定することが可能である。

【0087】このため、一般的には、出力インピーダンス変換手段(ソースフォロア回路)52を構成する駆動用トランジスタ素子51および負荷用トランジスタ素子32と上記増幅型固体撮像装置の駆動走査回路部とを構成するトランジスタ群とを同一のプロセスにより形成

することが考えられるが、上記増幅型撮像装置のダイナミックレンジを大きく確保するために、出力信号振幅を~0(V)から~5(V)となるように最適化を行うことが可能であり、この様な信号出力振幅では、図3に示した出力インピーダンス変換回路での入出力電圧特性では、0(V)~1(V)までの入力信号は出力信号に反映させることはできなかった。この特性は出力インピーダンス変換回路の駆動用トランジスタ素子51の閾値電圧およびソース・ドレイン間電流値で規定されている。上記駆動走査回路群を構成しているトランジスタ素子群については閾値電圧 V_{th} の設定を、| V_{th} |が~0.8(V)程度で設計されていることから、出力インピーダンス変換手段52の駆動用トランジスタ素子51の閾値を上記増幅型固体撮像装置の全駆動走査回路を構成するトランジスタ素子群の閾値電圧よりも小さくするか、またはデプリージョン型のトランジスタ素子で構成することにより、図3の入出力電圧特性を左側にシフトさせて図7に示すように動作点を上記増幅型固体撮像素子の出力電圧信号振幅に合わせることが可能となる。

【0088】例えば上記増幅型固体撮像素子の出力電圧信号振幅が0V~4.5Vとし、上記出力インピーダンス変換手段(ソースフォロア回路)52の負荷用トランジスタ素子32による定電流量を1mAとすると、駆動用トランジスタ素子51による電圧変換利得 α は~0.6となり、駆動用トランジスタ素子51の閾値電圧 V_{th} を~-0.7Vとすることにより、上記増幅型固体撮像素子の出力電圧信号振幅を忠実に反映させ、且つ出力インピーダンス変換することが可能となる。

【0089】このように、出力インピーダンス変換手段(ソースフォロワー回路)52の駆動用トランジスタ素子51の閾値電圧を増幅型固体撮像装置の全走査回路に使用しているトランジスタの閾値電圧よりも小さくするか、または、その駆動用トランジスタ素子51をデプリージョン型とすることにより、ソース・ゲート選択方式により得られたソース電圧をより確実に出力することができる。

【0090】以上のように上記実施形態1~3においては、半導体基板上に形成されたMOS型トランジスタのゲート領域で光電変換し、このゲート領域に蓄積した信号電荷に応じたMOS型トランジスタのポテンシャル変化をセンサ出力とする増幅型固体撮像素子がマトリクス状に複数配列されたアレイ群を有する増幅型固体撮像装置において、光電変換するゲート領域を第1ゲート領域とし、第1ゲート領域に隣接して第2ゲート領域を形成し、ソース領域、ドレイン領域と第1ゲート領域によりなるMOS型トランジスタが半導体基板表面に形成されており、このトランジスタの第1ゲート領域を透過して入射した光エネルギーによって光電変換されて発生した信号電荷をトランジスタ内の半導体基板表面に蓄積し、蓄積された信号電荷に応じた電気信号を出力する。この

トランジスタに隣接して設けられた第2ゲート領域を介して第1ゲート領域に蓄積された信号電荷を半導体基体の内部に移動排出させるリセット機能を有している。複数個の増幅型固体撮像素子をマトリックス状に配列した増幅型固体撮像装置を第1ゲート領域および第2ゲート領域を同期させて駆動させる各垂直走査回路と、コラムラインに接続されたソース領域を順次選択する水平走査回路とを備え、ドレイン領域には所定の電位が供給され、増幅型固体撮像素子を各垂直走査回路と水平走査回路により順次選択してビデオラインに読み出した映像信号出力を、駆動用トランジスタ素子と負荷用トランジスタ素子の直列回路よりなる出力インピーダンス変換回路（ソースフォロア回路）に供給することによって、出力インピーダンス変換回路（ソースフォロア回路）の出力端子から出力電圧として取り出すようにした電流増幅出力部を有している。その出力端子に電気回路が接続されても、各増幅型固体撮像素子で得られた映像信号をより正確で高速に出力することが可能となる。

【0091】また、上記各実施形態1～3では、増幅型固体撮像素子に用いられるトランジスタがMOS型FETの場合を示したが、本発明はこれに限定されるものではなく、トランジスタが接合ゲート型FETの画素の場合であっても、また、トランジスタが制御ゲート付きFETの画素の場合であっても、上記各実施形態と同様の作用効果を得ることが可能である。

【0092】（実施形態4）図1は、また、本発明増幅型固体撮像装置の実施形態4を示す。この実施形態4では、実施形態1～3とは異なり、増幅型固体撮像素子として、図12に示す本願出願人が先に提案した表面リセット型のものを用いている。但し、実施形態1～3で用いられているTGMIS型と、本実施形態4の表面リセット型のTGMIS型とを等価回路で表すと同一構成になるため、本実施形態4の等価回路も図1と同一になる。

【0093】等価回路が同一であることからも明かなように、本実施形態4の増幅型固体撮像装置も実施形態1の増幅型固体撮像装置と同様の効果を奏すことができる。

【0094】なお、本実施形態4においても、実施形態2の場合と同様に、各コラムライン16-1、16-2…毎にそれぞれ定電流負荷手段41-1、41-2…を設けることが可能である。

【0095】また、実施形態3の場合と同様に、出力インピーダンス変換手段の駆動用トランジスタ素子51の閾値電圧を、第1垂直走査回路13、第2垂直走査回路15及び水平走査回路21に設けられたトランジスタの閾値電圧よりも小さく構成するか、或いはこのトランジスタをデプリージョン型で構成してもよい。

【0096】このようにすれば、それぞれ実施形態2、実施形態3同様の効果を奏すことができる。

【0097】（実施形態5）図1は、また、本発明増幅型固体撮像装置の実施形態5を示す。この実施形態5では、実施形態1～3とは異なり、増幅型固体撮像素子として、図13に示す本願出願人が先に提案したトレンチ型のものを用いている。但し、実施形態1～3で用いられているTGMIS型と、本実施形態5のトレンチ型のTGMIS型とを等価回路で表すと同一構成になるため、本実施形態5の等価回路も図1と同一になる。

【0098】等価回路が同一であることからも明かなように、本実施形態5の増幅型固体撮像装置も実施形態1の増幅型固体撮像装置と同様の効果を奏すことができる。

【0099】なお、本実施形態5においても、実施形態2の場合と同様に、各コラムライン16-1、16-2…毎にそれぞれ定電流負荷手段41-1、41-2…を設けることが可能である。

【0100】また、実施形態3の場合と同様に、出力インピーダンス変換手段の駆動用トランジスタ素子51の閾値電圧を、第1垂直走査回路13、第2垂直走査回路15及び水平走査回路21に設けられたトランジスタの閾値電圧よりも小さく構成するか、或いはこのトランジスタをデプリージョン型で構成してもよい。

【0101】このようにすれば、それぞれ実施形態2、実施形態3同様の効果を奏すことができる。

【0102】（実施形態6）図8は本発明増幅型固体撮像装置の実施形態6を示す。この実施形態6では、実施形態1～3とは異なり、増幅型固体撮像素子として、図14に示す本願出願人が先に提案したBDMIS型のものを用いている。但し、画素構造以外は図1に示す等価回路と略同様であり、以下の点のみが異なる。

【0103】即ち、BDMIS型では、TGMIS型とは異なり、信号電荷は電子であるので、列選択用トランジスタ17-1、17-2…はnチャネルトランジスタではなく、pチャネルトランジスタで構成されている。

【0104】なお、図1と対応する部分には同一の符号を付して詳細な説明は省略する。

【0105】本実施形態6においても、回路動作は図1と同様であるので、実施形態1同様の効果を奏すことができる。

【0106】なお、本実施形態6においても、図9に示すように、実施形態2の場合と同様に、各コラムライン16-1、16-2…毎にそれぞれ定電流負荷手段41-1、41-2…を設けることが可能である。

【0107】また、図10に示すように、実施形態3の場合と同様に、出力インピーダンス変換手段の駆動用トランジスタ素子51の閾値電圧を、第1垂直走査回路13、第2垂直走査回路15及び水平走査回路21に設けられたトランジスタの閾値電圧よりも小さく構成するか、或いはこのトランジスタをデプリージョン型で構成してもよい。

【0108】このようにすれば、それぞれ実施形態2、実施形態3同様の効果を奏することができる。

【0109】なお、上記実施形態1～6では、1段の出力インピーダンス変換手段（ソースフォロア回路）を例に説明したが、複数段の出力インピーダンス変換手段（ソースフォロア回路）を用いて出力インピーダンス変換を行っても同様の効果が得られる。出力インピーダンス変換手段（ソースフォロア回路）を複数段に構成した場合、初段より負荷用トランジスタ素子の定電流を徐々に増加させて最終利得を調整することも可能である。この場合、第1段目の出力インピーダンス変換手段の駆動用トランジスタ素子52のゲート端子にビデオラインの出力端を接続し、第1段目の出力インピーダンス変換手段の駆動用トランジスタ素子52と負荷用トランジスタ素子の接続点を、第2段目の出力インピーダンス変換手段の駆動用トランジスタ素子のゲート端子に接続する。以降同様に、駆動用トランジスタ素子と負荷用トランジスタ素子の接続点を、次段目の出力インピーダンス変換手段の駆動用トランジスタ素子のゲート端子に接続して、その次段目の駆動用トランジスタ素子と負荷用トランジスタ素子の接続点から映像信号の画素信号出力を取り出せばよい。

【0110】

【発明の効果】以上のように本発明の增幅型固体撮像装置によれば、出力インピーダンス変換手段を設けたことにより、アレイ状に形成された增幅型固体撮像素子を順次ゲート・ソース選択し、小型化・多画素化による寄生容量が無視できない状態においても出力電圧波形に鈍りのない出力信号を得ることができて、各增幅型固体撮像素子の出力信号を正確で高速に読み出すことができる。

【0111】また、信号ライン毎に定電流源負荷手段を設けたことにより、信号ラインの寄生容量に供給できる電荷を個別の信号ライン毎に確保できてより正確で高速な映像信号の読み出しを行うことができる。

【0112】さらに、駆動用トランジスタ素子の閾値電圧を增幅型撮像装置を駆動させる各走査回路を構成するトランジスタ素子の閾値電圧より小さくするか、または、この駆動用トランジスタ素子をデブリーション型とすることにより、ソース・ゲート選択方式により得られたソース電圧をより確実に出力することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1、実施形態4及び実施形態5における增幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて示す模式図。

【図2】図1の增幅型固体撮像装置の動作を説明する各信号波形を示すタイミング図。

【図3】本発明による增幅型固体撮像装置より出力される電圧信号出力変動と出力インピーダンス変換手段33の入出力電圧特性とを示す図。

【図4】(a)は図1の出力インピーダンス変換手段を

用いずに増幅型固体撮像装置のビデオラインを直接外部電気回路に接続した場合の画素信号出力波形図、(b)は図1の出力インピーダンス変換手段の後段に電気回路を接続した場合の画素信号出力波形図。

【図5】本発明の実施形態2における増幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて示す模式図。

【図6】本発明の実施形態3における増幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて示す模式図。

【図7】図3の入出力電圧特性を左側にシフトさせた場合の図。

【図8】本発明増幅型固体撮像装置の実施形態6を示す、図1同様の模式図。

【図9】本発明増幅型固体撮像装置の実施形態6を示す、図5同様の模式図。

【図10】本発明増幅型固体撮像装置の実施形態6を示す、図6同様の模式図。

【図11】本願出願人が先に提案したTGMIS型の増幅型固体撮像装置を構成する増幅型固体撮像素子の画素構造を示す図であり、(a)はその一部平面図、(b)は(a)のA-A'線断面図。

【図12】本願出願人が先に提案した表面リセット型と呼ばれるTGMIS型の増幅型固体撮像素子を示す断面図。

【図13】本願出願人が先に提案したトレンチ型と呼ばれるTGMIS型の増幅型固体撮像素子を示す断面図。

【図14】本願出願人が先に提案したBDMIS型の増幅型固体撮像素子を示す断面図。

【図15】図11の増幅型固体撮像素子を用いた増幅型固体撮像装置の構成を等価回路と要素ブロックを組み合わせて示す模式図。

【図16】図15の増幅型固体撮像装置の動作を説明する各信号波形を示すタイミング図。

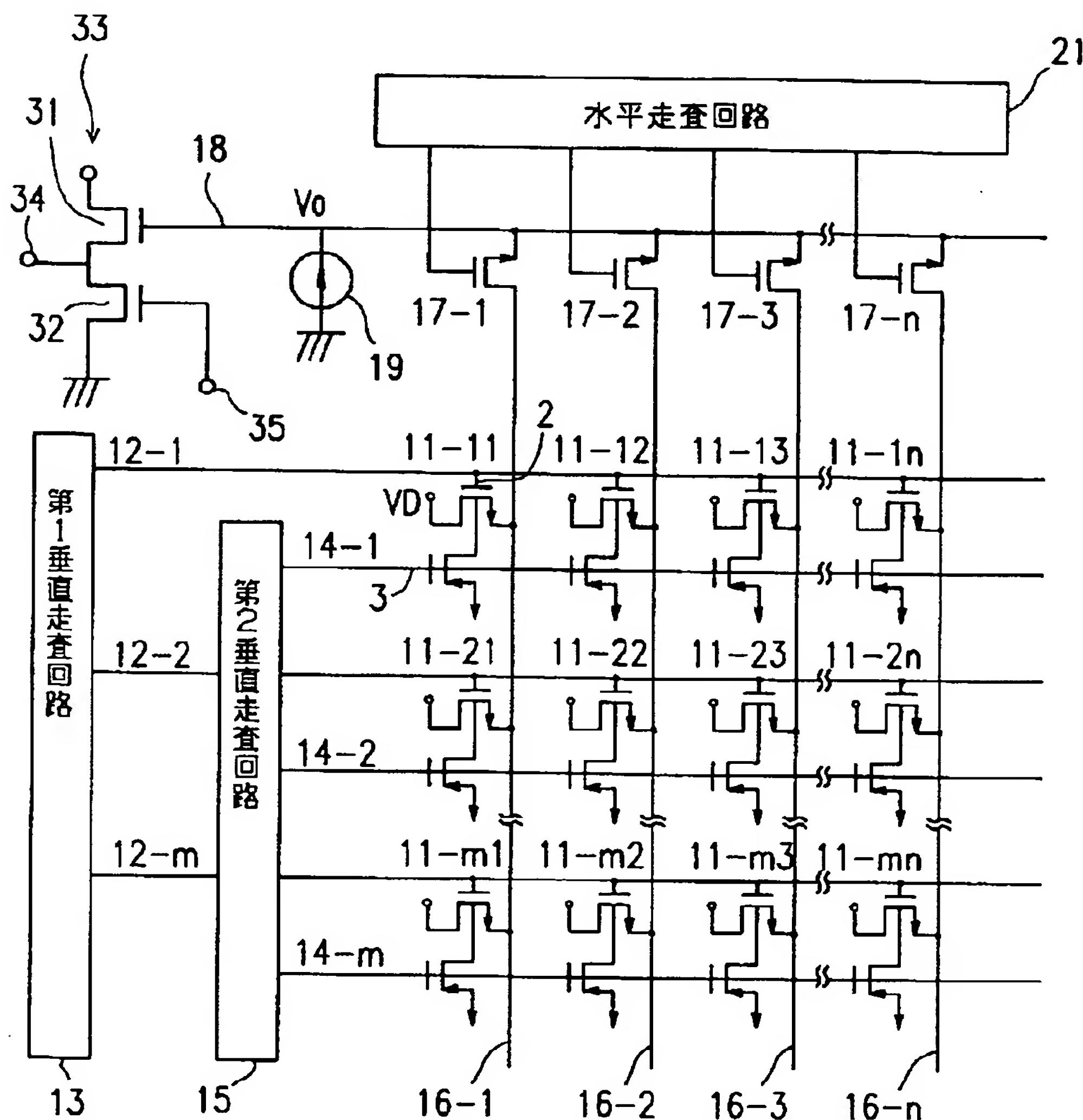
【符号の説明】

1	p型半導体基板
2	第1ゲート電極
3	第2ゲート電極
4	ウエル層
5	ソース領域
6	ドレイン領域
11-11、11-12、…11-mn	画素
12-1、12-2、…12-m	第1走査ライン
13	第1垂直走査回路
14-1、14-2、…14-m	第2走査ライン
15	第2垂直走査回路
16-1、16-2、…16-n	コラムライン
17-1、17-2、…17-n	列選択用トランジスタ
18	ビデオライン

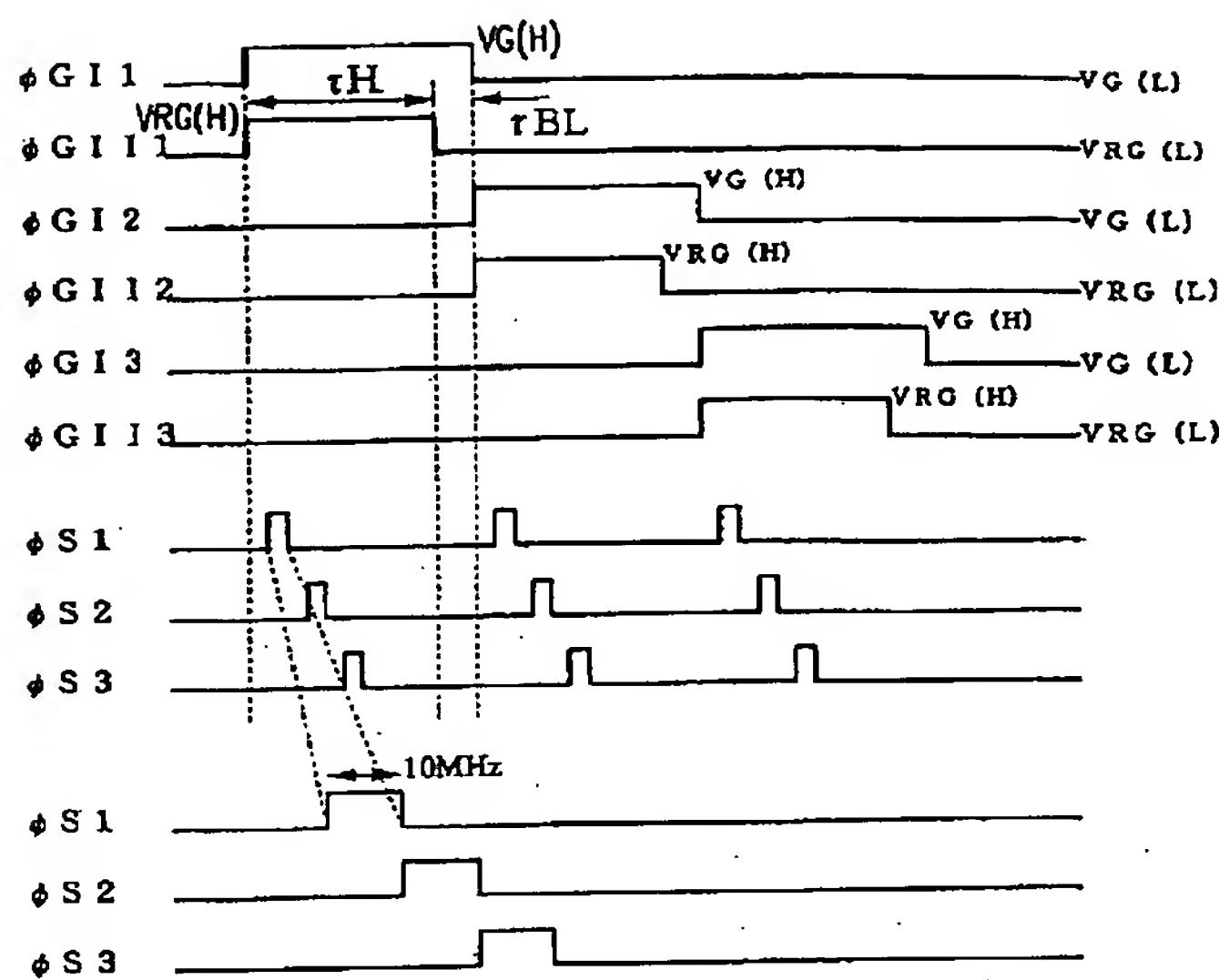
19 定電流負荷
 21 水平走査回路
 31、51 駆動用トランジスタ素子
 32 負荷用トランジスタ素子
 33、52 出力インピーダンス変換手段

34 信号出力端子
 41-1、41-2、…41-n 定電流源負荷手段
 $\phi G I 1$ 、 $\phi G I 2$ 、… 第1走査パルス
 $\phi G I I 1$ 、 $\phi G I I 2$ 、… 第2走査パルス
 $\phi S 1$ 、 $\phi S 2$ 、… 信号読出制御パルス

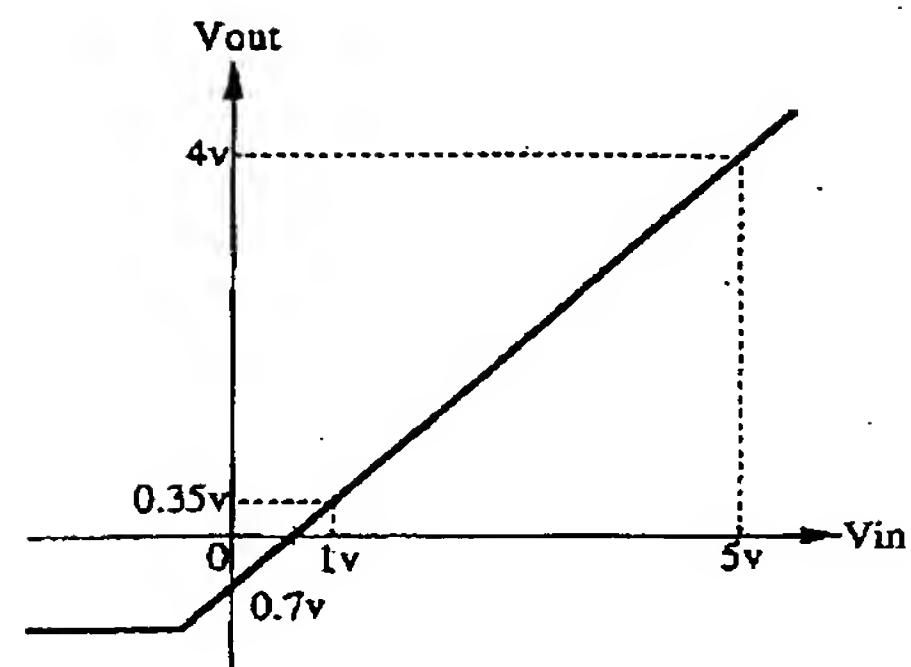
【図1】



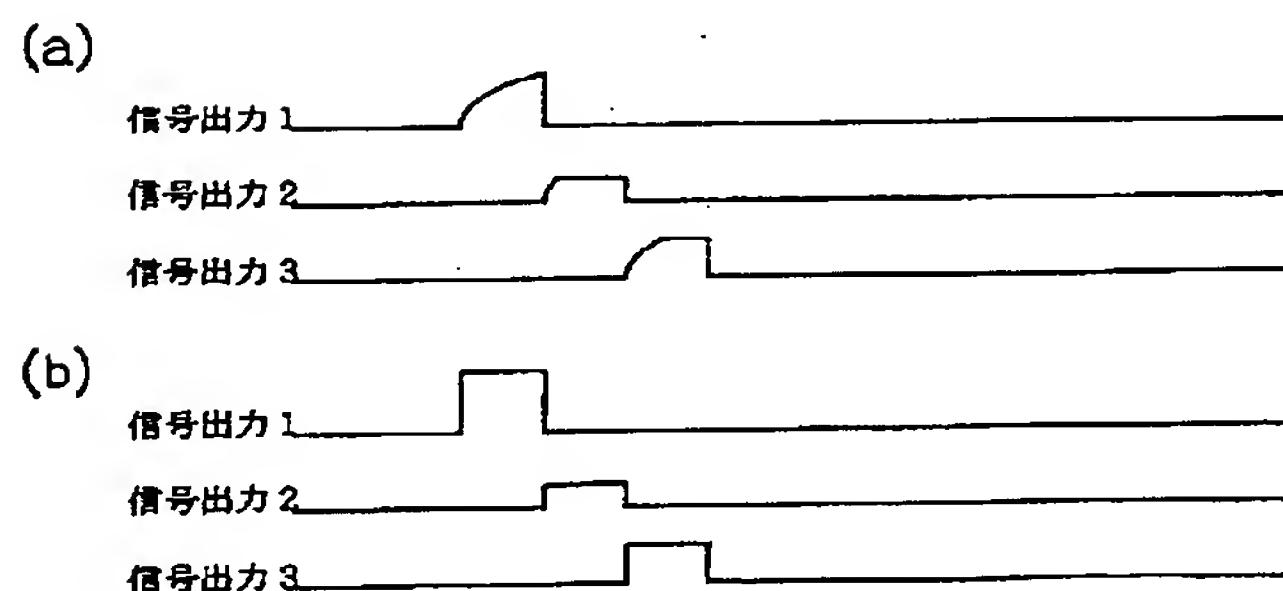
【図2】



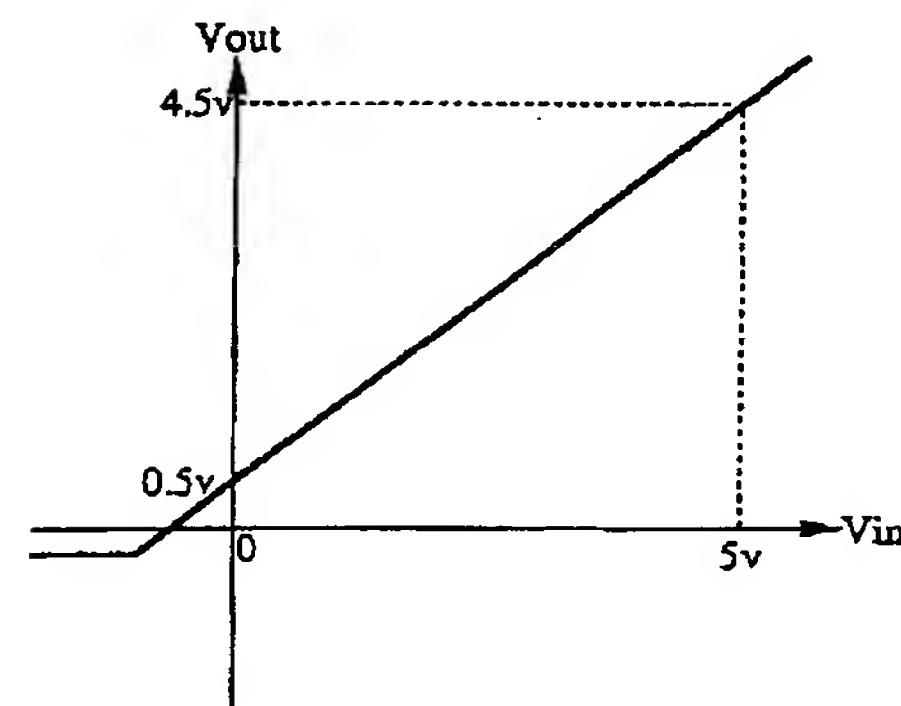
【図3】



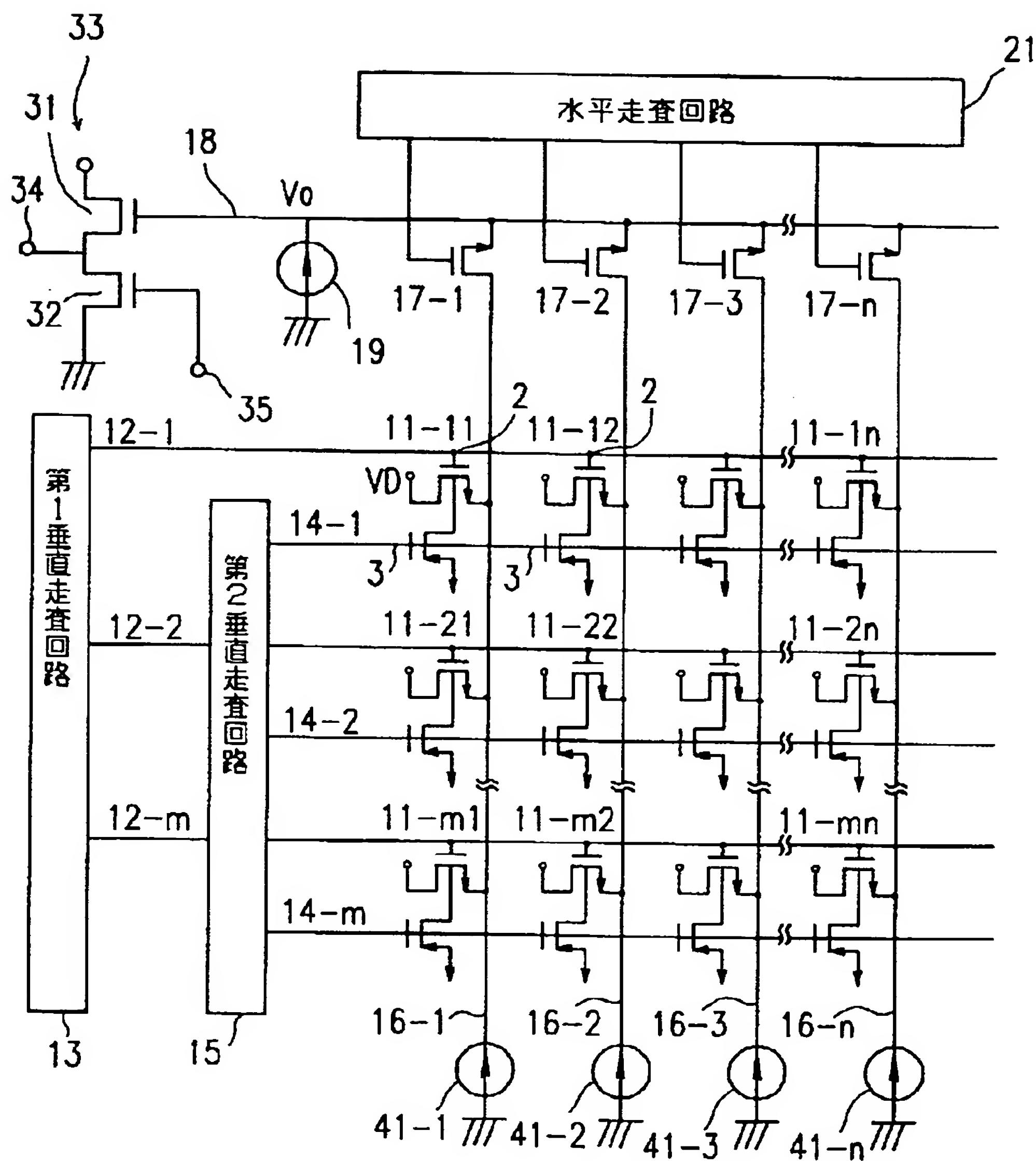
【図4】



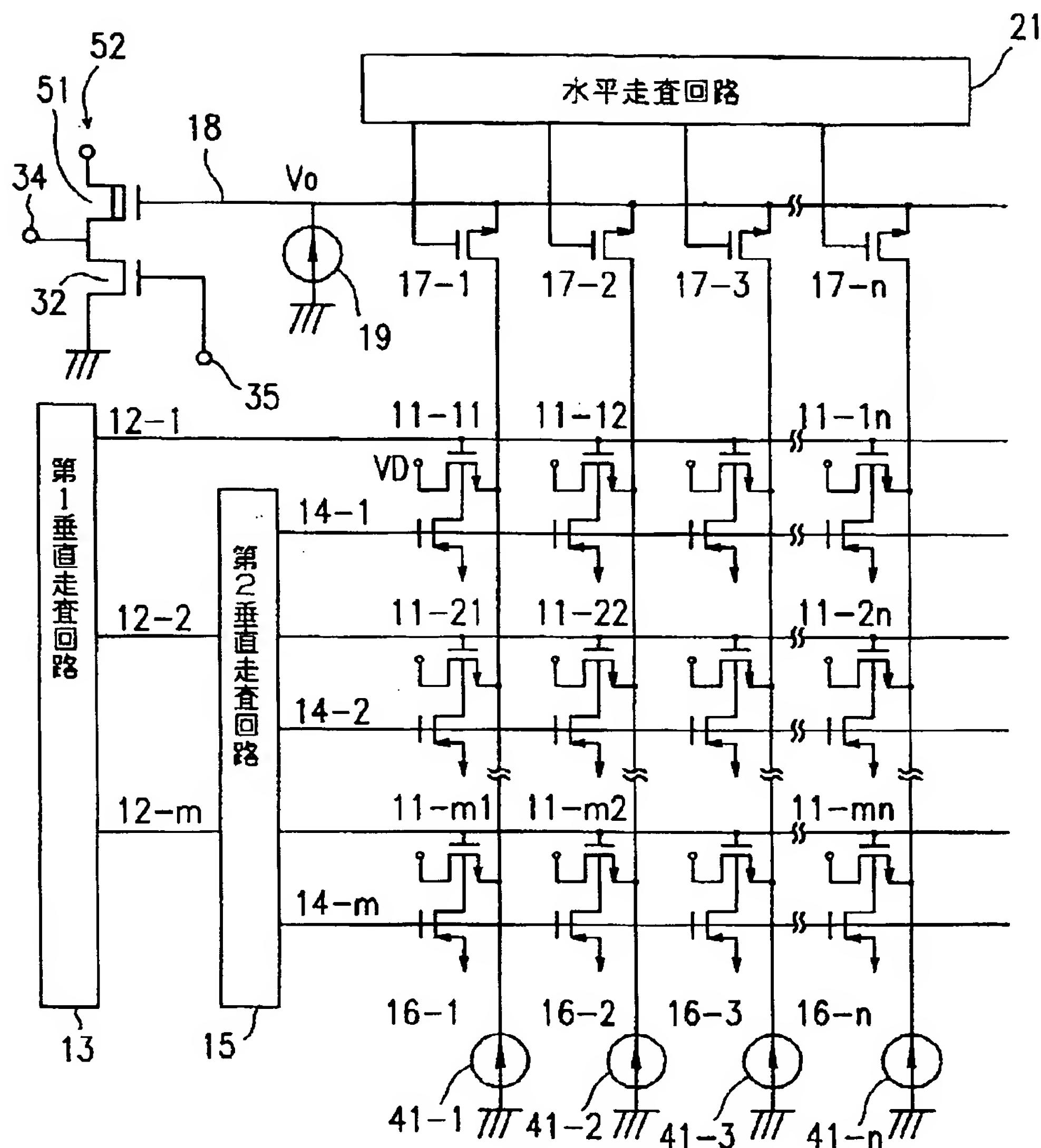
【図7】



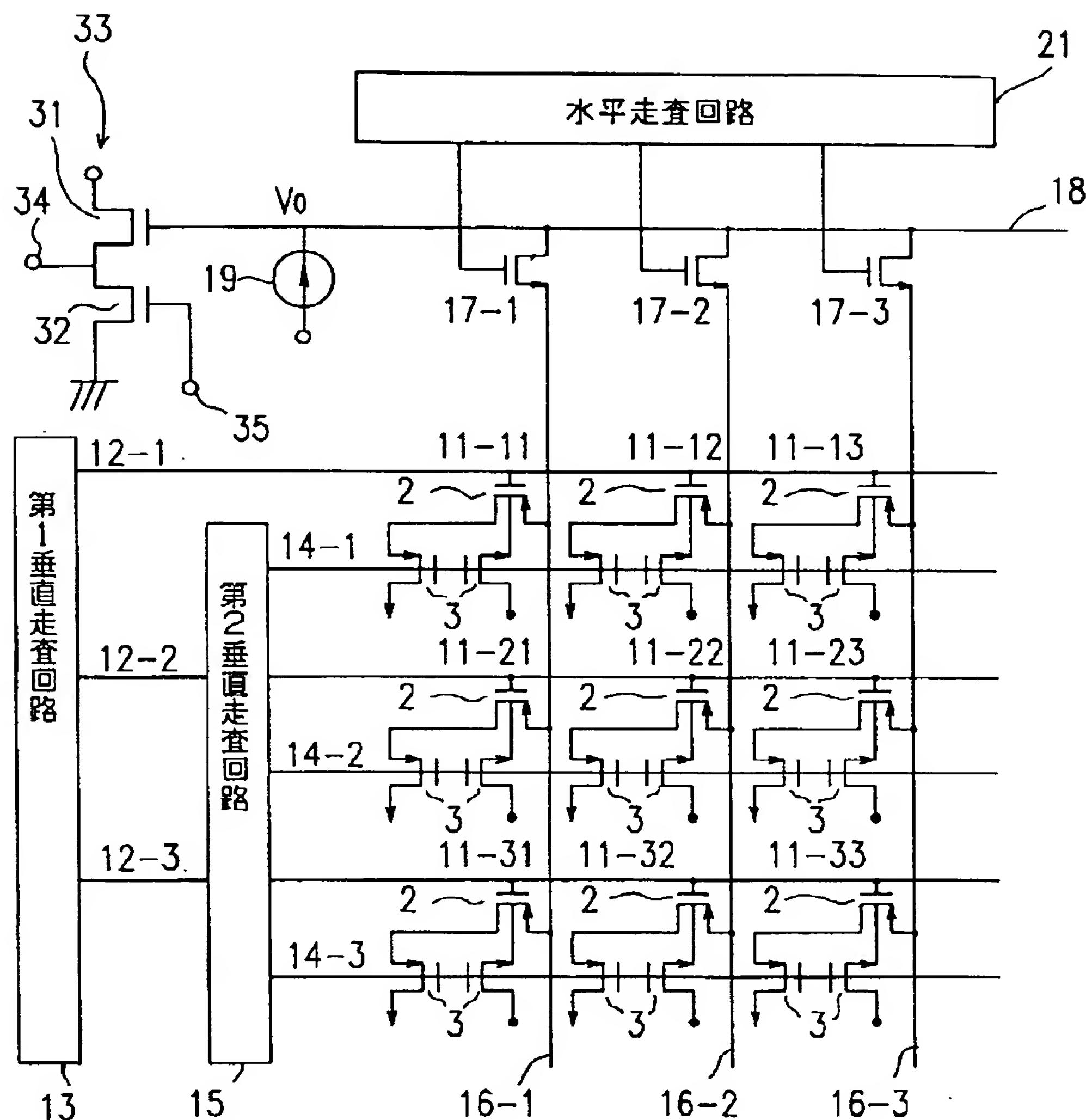
【図5】



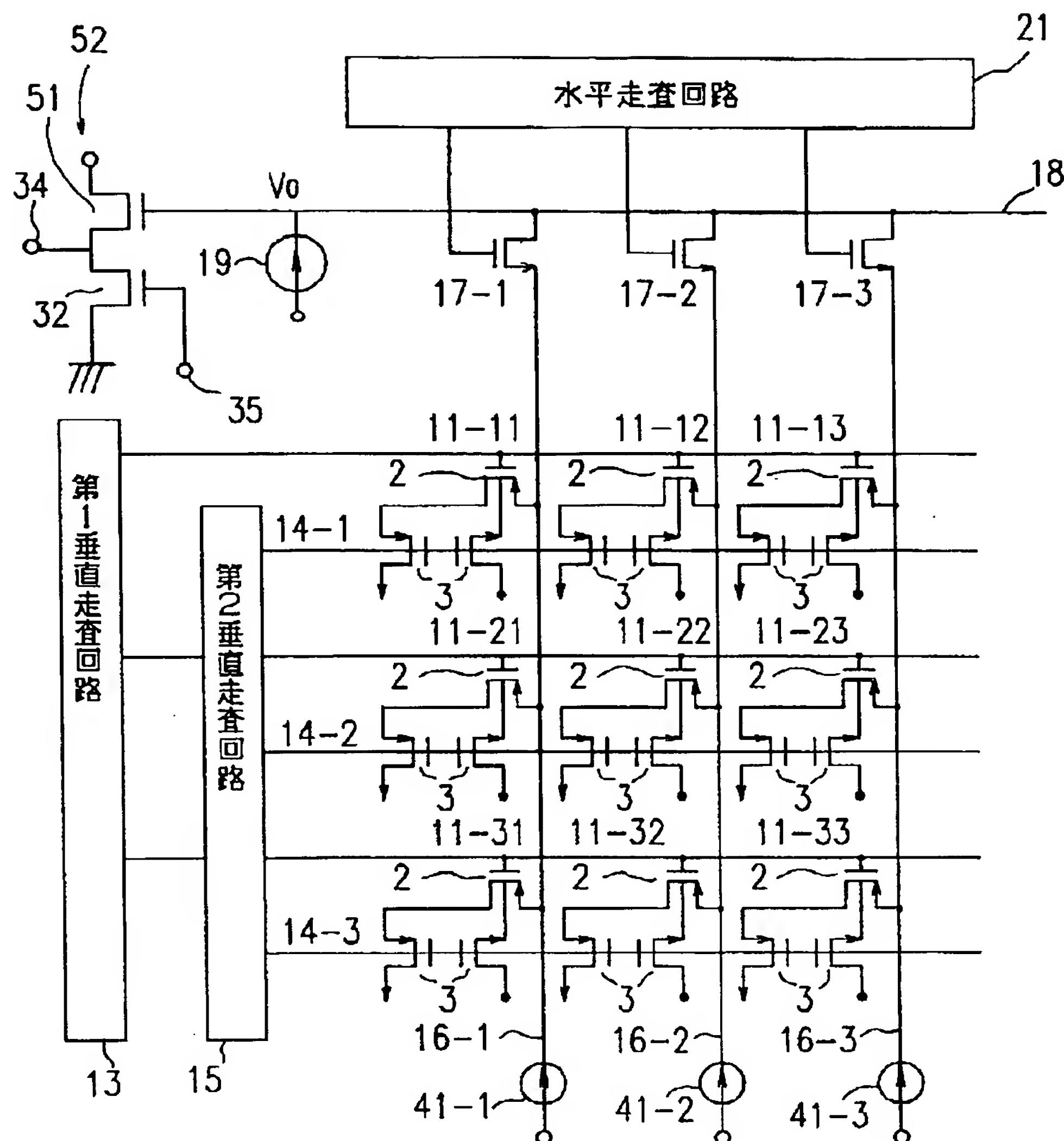
【図6】



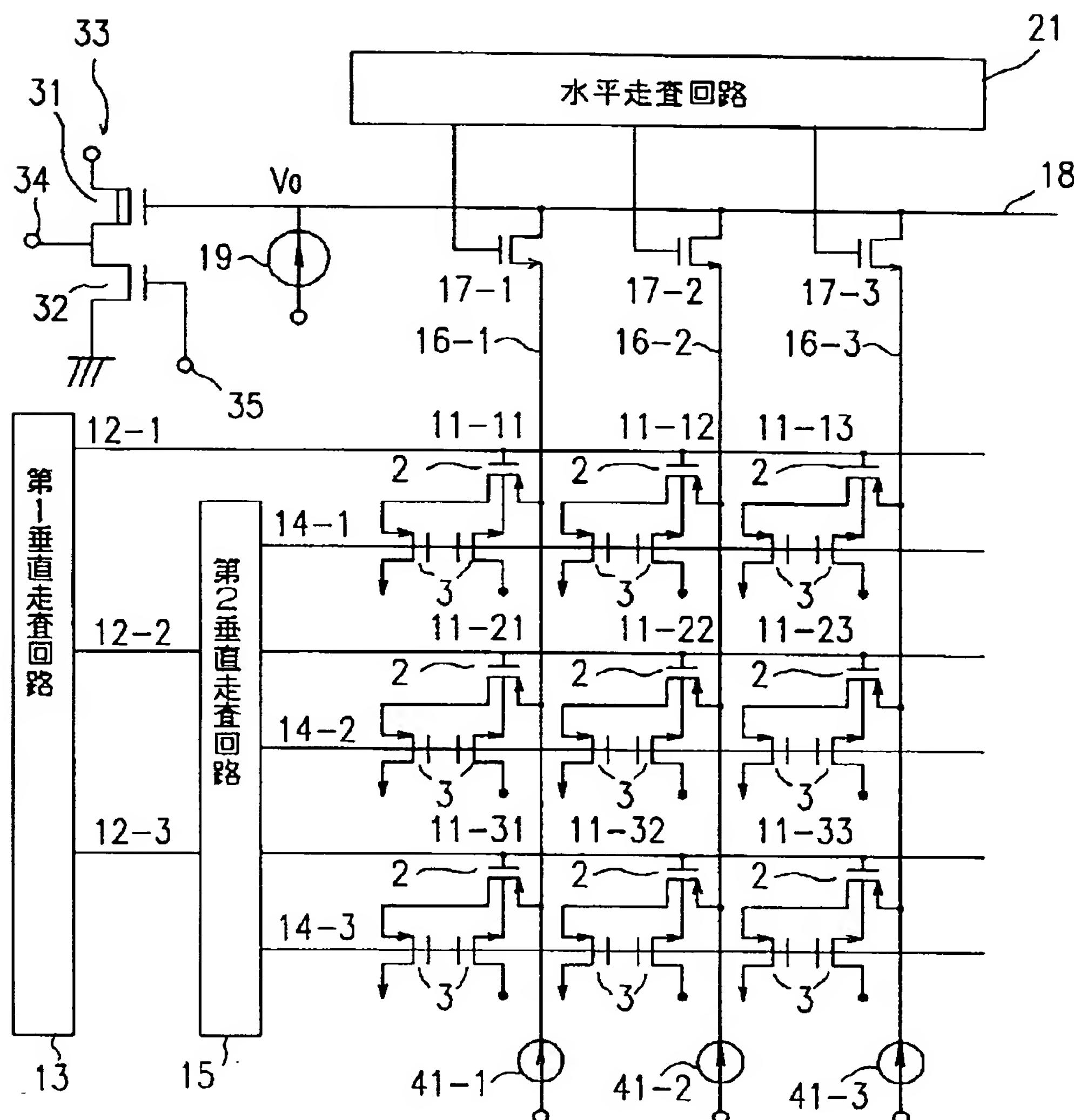
【図8】



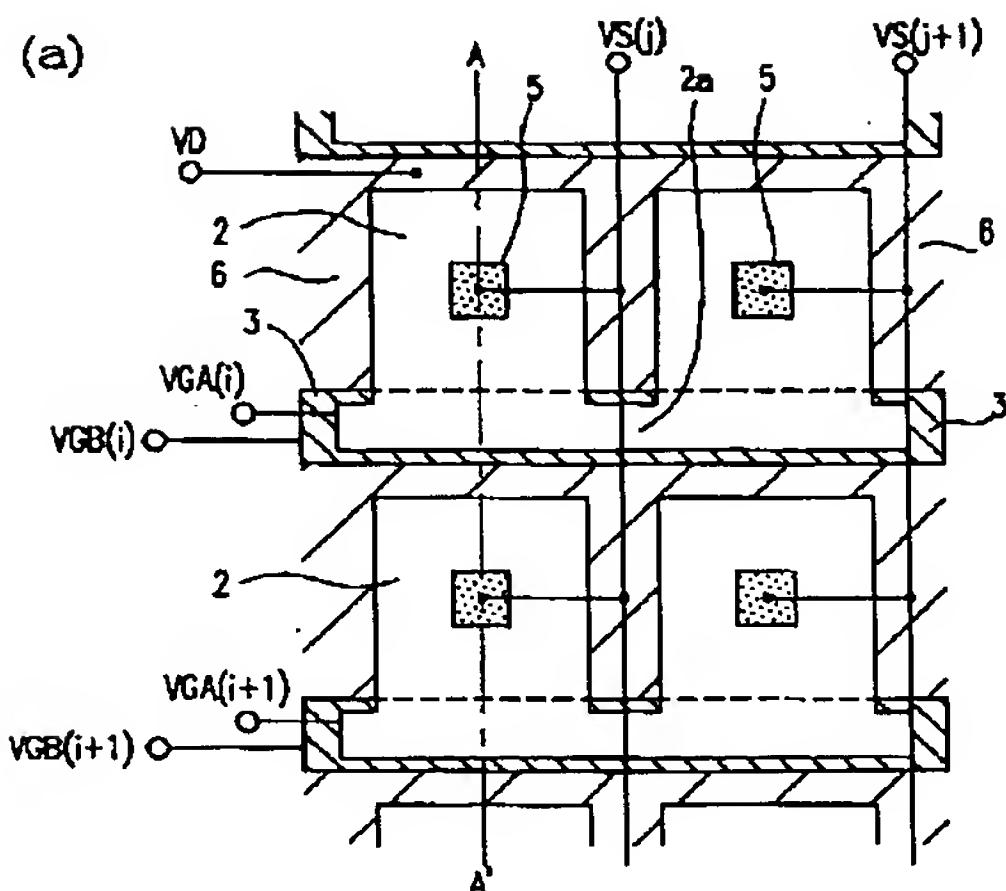
【図9】



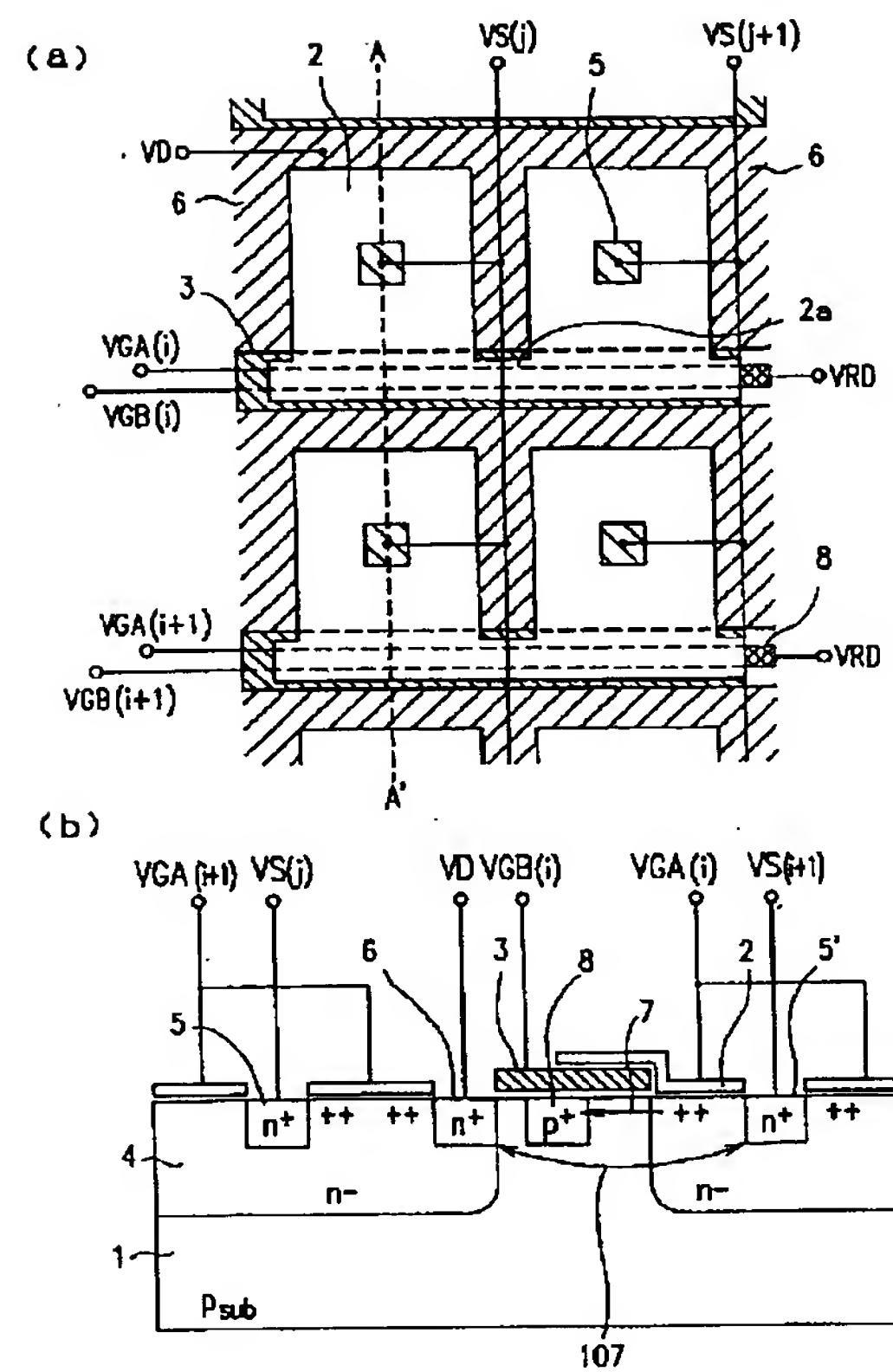
【図10】



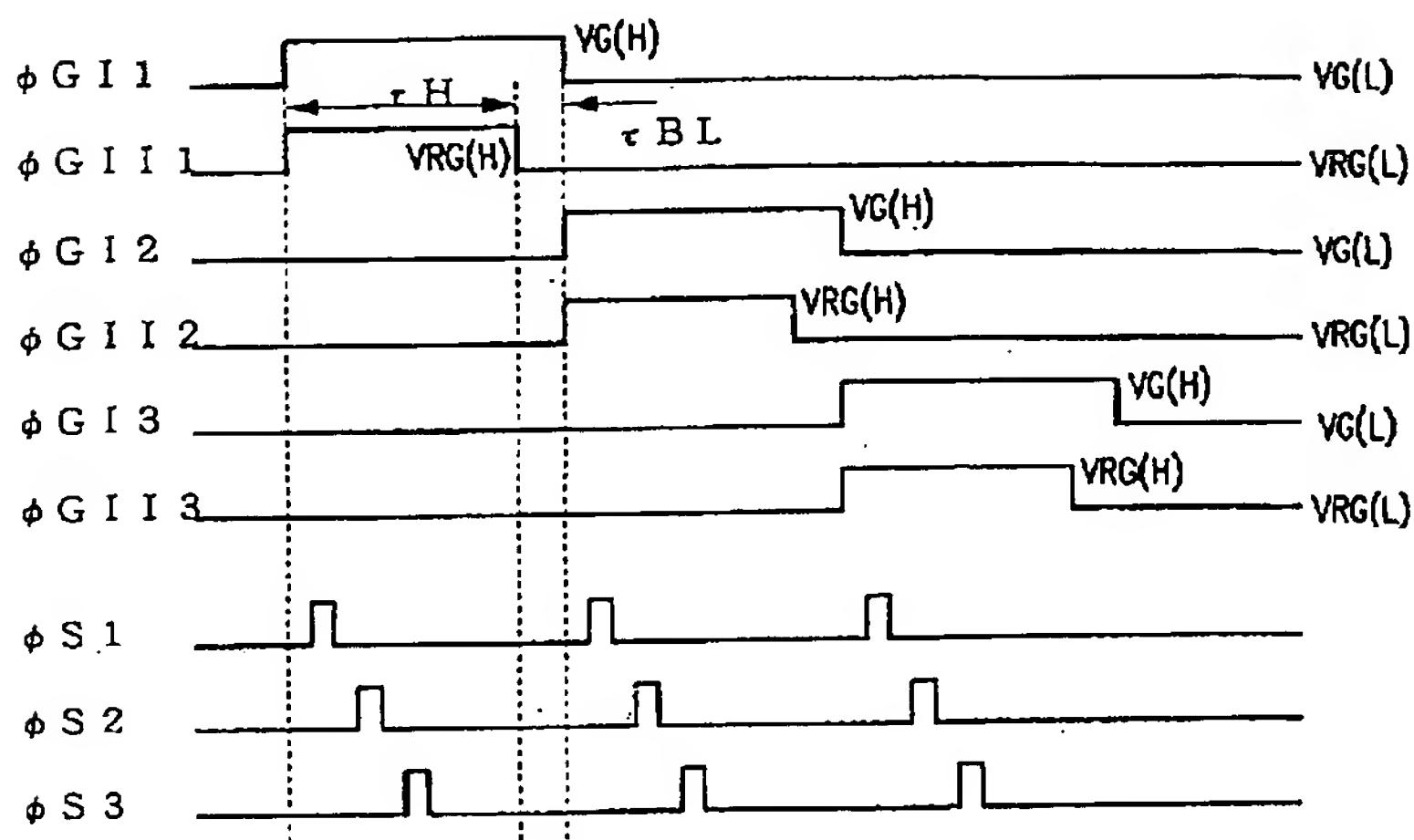
【図11】



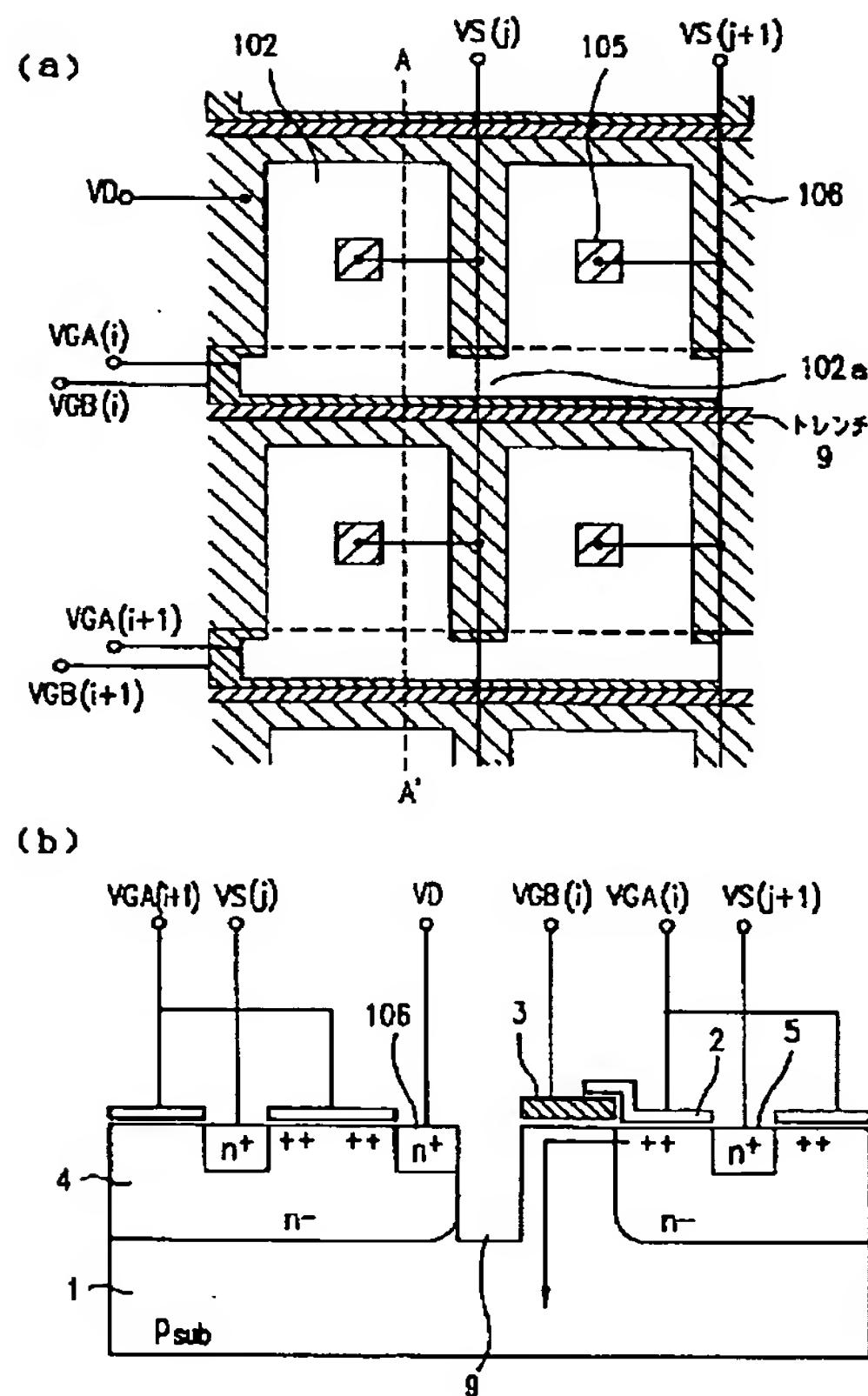
【図12】



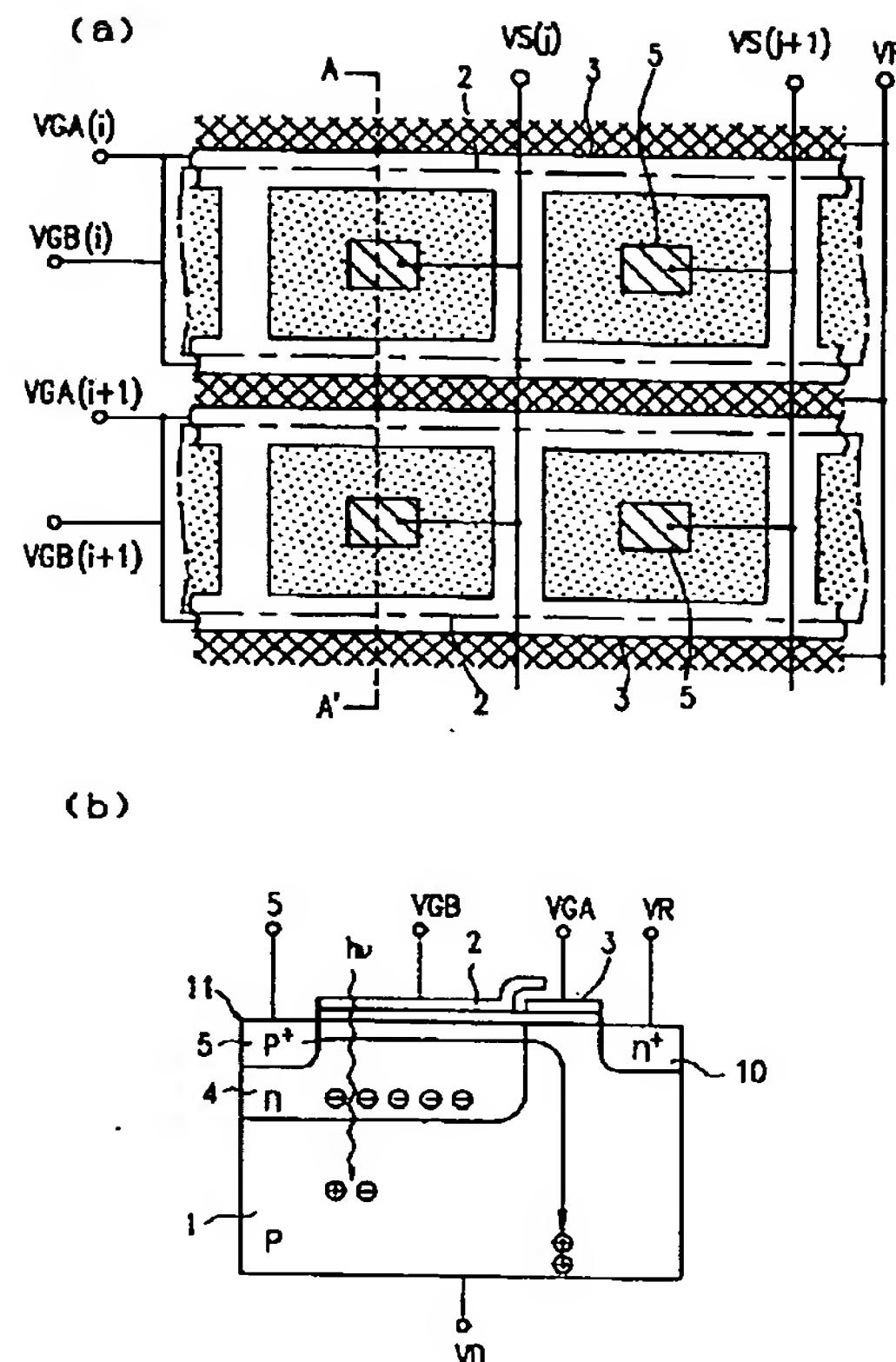
【図16】



【図13】



【図14】



【図15】

